



⑯ BUNDESREPUBLIK
DEUTSCHLAND

DEUTSCHES
PATENT- UND
MARKENAMT

⑯ **Offenlegungsschrift**
⑯ **DE 102 23 748 A 1**

⑯ Int. Cl. 7:
H 01 L 27/105
H 01 L 21/8239

DE 102 23 748 A 1

⑯ Aktenzeichen: 102 23 748.4
⑯ Anmeldetag: 28. 5. 2002
⑯ Offenlegungstag: 12. 12. 2002

⑯ Unionspriorität: 01-29731 29. 05. 2001 KR	⑯ Erfinder: Yang, Won-suk, Yongin, KR; Kim, Ki-nam, Anyang, KR
⑯ Anmelder: Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR	
⑯ Vertreter: Kuhnen & Wacker Patentanwaltsgeellschaft dbR, 85354 Freising	

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑯ Integrierte Schaltungsvorrichtung, die selbstjustierte Kontakte mit einer erhöhten Ausrichtungsgrenze aufweisen, und Verfahren zur Herstellung derselben
- ⑯ Eine integrierte Schaltungsvorrichtung, beispielsweise eine Speichervorrichtung, enthält ein Substrat und in dem Substrat eine Vielzahl von Reihen aus aktiven Bereichen, wobei die aktiven Bereiche in einem gestaffelten Muster derart angeordnet sind, daß aktive Bereiche einer ersten Reihe mit Abschnitten eines Isolationsbereichs, der aktive Bereiche von der benachbarten zweiten aktiven Reihe trennt, ausgerichtet sind. Source- und Drainbereiche sind in den aktiven Bereichen und sind derart angeordnet, daß jeder Bereich einen Drainbereich aufweist, der zwischen zwei Sourcebereichen liegt. Eine Vielzahl von Wortleitungsstrukturen sind auf dem Substrat und quer zu den Reihen von aktiven Bereichen derart angeordnet, daß die Wortleitungsstrukturen die aktiven Bereiche zwischen den Sourcebereichen und den Drainbereichen kreuzen. Jeweilige Reihen von Leitungspads liegen zwischen jeweiligen benachbarten Wortleitungsstrukturen, einschließlich erster Leitungspads auf den Sourcebereichen, zweiter Leitungspads auf den Drainbereichen und dritter Leitungspads auf die aktiven Bereiche trennenden Isolationsbereiche. Eine Vielzahl von Bitleitungsstrukturen sind auf dem Substrat und erstrecken sich quer zu den Wortleitungsstrukturen und kontaktieren die zweiten Leitungspads. Geeignete Herstellungsverfahren werden ebenso beschrieben.

DE 102 23 748 A 1

Beschreibung

Zugrunde liegende Anmeldung

[0001] Diese Anmeldung beansprucht die Priorität der koreanischen Patentanmeldungen Nr. 2001-29731, eingereicht am 29. Mai 2001, deren Inhalt in seiner Gesamtheit im Folgenden durch Bezugnahme mit offensichtlich wird.

Gebiet der Erfindung

[0002] Die vorliegende Erfindung betrifft integrierte Schaltungsvorrichtungen und Verfahren zur Herstellung derselben, und insbesondere integrierte Schaltungen, wie beispielsweise integrierte Schaltungsspeichervorrichtungen mit selbstjustierenden Kontaktflecken (self-aligned contact pads bzw. SAC-pads) und Verfahren zur Herstellung derselben.

[0003] Da Speichervorrichtungen zum Betrieb mit höheren Geschwindigkeiten und einer größeren Speicherkapazität entworfen werden, hat sich die Integrationsdichte der integrierten Schaltungsspeichervorrichtungen allgemein erhöht. Da beispielsweise die Integrationsdichte von dynamischen Schreib-Lese-Speichern (DRAMs) auf mehr als ein Gigabyte angestiegen ist, hat sich die Entwurfsregel auf 0,18 µm und darunter erniedrigt. Horizontale Lücken zwischen den einzelnen Vorrichtungen, vertikale Lücken zwischen den Schichten und falschjustierte Grenzen sind typischerweise proportional zu der Verringerung der Entwurfsregel (Design Rule) verringert worden. Dementsprechend können Defekte, wie beispielsweise eine schlechte Kontaktfüllung oder eine Fehlausrichtung auftreten.

[0004] Eine herkömmliche integrierte Schaltungsspeichervorrichtung, die ein selbstjustierendes Kontaktverfahren verwendet, wird im Folgenden unter Bezugnahme auf die Fig. 1 und 2 beschrieben. Gemäß Fig. 1 und 2 wird auf einem Halbleitersubstrat 10 eine Isolationsschicht 12 ausgebildet, wodurch aktive Bereiche 11 bestimmt werden. Randschaltungsbereiche (nicht gezeigt) und Kernbereiche (nicht gezeigt) können ebenso durch die Isolationsschicht 12 bestimmt werden. Als nächstes wird eine Gate-Isolationssschicht 13, eine Gate-Leitungsschicht 14 und eine Abdecksschicht 15 aufeinanderfolgend auf dem Halbleitersubstrat 10 abgeschieden. Vorbestimmte Abschnitte der Abdecksschicht 15 und der Gate-Leitungsschicht 14 werden gemustert bzw. markiert. Spacers 16 werden an den Seitenwänden der verbleibenden Abschnitte der Abdecksschicht 15 und der verbleibenden Gate-Isolationsschicht 14 ausgebildet, wodurch Wortleitungsstrukturen 17 ausgebildet werden.

[0005] Wie in Fig. 1 gezeigt, erstrecken sich die Wortleitungsstrukturen 17 in einer Y-Richtung über die aktiven Bereiche 11 und sind durch einen vorbestimmten Abstand von einander beabstandet. Ein Paar von Wortleitungsstrukturen 17 kreuzt jeden aktiven Bereich 11. Störstellen für eine Source oder einen Drain werden in den aktiven Bereich 11 auf beiden Seiten jeder der Wortleitungsstrukturen 17 implantiert, wodurch sie einen Sourcebereich 18a und einen Drainbereich 18b in jedem aktivem Bereich 11 ausbilden.

[0006] Ein Ätzstopper (nicht gezeigt) und eine Zwischenisolationssschicht 19 werden aufeinanderfolgend aus dem Halbleitersubstrat abgeschieden. Die Zwischenisolationssschicht 19 füllt Räume zwischen benachbarten bzw. angrenzenden Wortleitungsstrukturen 17 auf. Die Zwischenisolationssschicht 19 und der Ätzstopper werden zum Freilegen der Source- und Drainbereiche 18a und 18b geätzt. Anschließend wird eine leitende Polysiliciumsschicht (nicht gezeigt) auf dem Halbleitersubstrat 10 abgeschieden, um die freigelegten Source- und Drainbereichen 18a und 18b zu kontaktieren.

tieren. Die Polysiliciumsschicht wird vorzugsweise mit einer Dicke abgeschieden, die ausreichend ist, um die Zwischenräume zwischen den benachbarten bzw. benachbarten Wortleitungsstrukturen 17 aufzufüllen. Die Polysiliciumsschicht

5 wird chemisch und mechanisch solange poliert, bis die Zwischenisolationssschicht 19 freigelegt ist, wodurch selbstjustierende Kontaktflecken (SAC-pads) 20a und 20b in Kontakt mit den Source- und Drainbereichen 18a und 18b ausgebildet werden. Die selbstjustierenden Kontaktflecken 20b,

10 die in Kontakt mit den Drainbereichen 18b sind, besetzen teilweise die Räume 21 zwischen den aktiven Bereichen 11, da Bitleitungen (nicht gezeigt) rechtwinklig zu den Wortleitungsstrukturen 17 in den Räumen 21 zwischen den aktiven Bereichen 11 angeordnet werden. Der selbstjustierende Kontaktflecken 20b, der in Kontakt mit dem Drainbereich 18b ist, wird in Kontakt mit den Bitleitungen (nicht gezeigt) gebracht, und der selbstjustierende Kontaktfleck 20a, der in Kontakt mit den Sourcebereich 18a ist, wird in Kontakt mit einer Speicherknotenelektrode gebracht.

[0007] Eine derartige herkömmliche Speicherstruktur kann folgende Probleme aufweisen:

Obgleich die Kontaktflecken 20a und 20b selbstjustierend sind, kann es schwierig sein, die Öffnungen an welcher die selbstjustierenden Kontaktflecken 20a und 20b ausgebildet werden, aufgrund der Integrationsdichte der Speichervorrichtung genauso zu justieren bzw. auszurichten. Somit sind die benachbarten selbstjustierenden bzw. selbstjustierten Kontaktflecken 20a und 20b nicht vollständig voneinander isoliert und eine Brücke (Kurzschluß) kann auftreten.

[0008] Wie durch "3D" in Fig. 1 angedeutet, sind die selbstjustierten Kontaktflecken 20a und 20b 2% dreidimensionale Strukturen. Wenn Licht gleichzeitig entlang der drei Dimensionen des selbstausgerichteten Kontaktflecken 20a und 20b angewendet wird, kann ein Interferenzeffekt um die Ecken der Strukturen herum auftreten. Falls Licht in den drei verschiedenen Richtungen angewendet wird, kann es außerdem schwierig sein, zu Fokussieren. Dementsprechend kann es schwierig sein, die Öffnungen auszurichten, an welchen die selbstjustierten Kontaktflecken ausgebildet werden.

[0009] Da die Größe des selbstjustierten Kontaktes 20a, der im Kontakt mit dem Sourcebereich 18a ist, sich von der Größe des selbstausgerichteten Kontaktes 20b, der in Kontakt mit dem Drainbereich 18b ist, kann es außerdem schwierig sein, den Grad, bis zu welchem die Zwischenisolationssschicht 19 zum Ausbilden der Öffnungen für die Kontakte geätzt wird, gleichmäßig zu steuern. Bei einigen herkömmlichen Speichervorrichtungen werden lediglich die Bereiche, bei welchen die selbstjustierten Kontaktflecken

50 20a und 20b ausgebildet werden, vor dem Ausbilden der selbstjustierten Kontaktflecken 20a und 20b geöffnet. Aufgrund des Formfaktors (aspect ratio) der Wortleitungsstrukturen 17 können Hohlräume in der Zwischenisolationssschicht 19 ausgebildet werden, die den Raum zwischen den Wortleitungsstrukturen 17 ausfüllt. Die Hohlräume können während der Ausbildung der Öffnungen für die selbstjustierten Kontaktbereiche größer werden. Während des Ausbildens der selbstjustierten Kontaktflecken 20a und 20b kann eine Polysiliciumsschicht, die zum Ausbilden der selbstjustierten Kontaktflecken 20a und 20b verwendet wird, die Hohlräume auffüllen und somit können parasitäre Leitungen (nicht gezeigt) erzeugt werden, die parallel zu den Wortleitungen zwischen den Wortleitungsstrukturen 17 angeordnet sind. Da derartige parasitäre Leitungen in der Zwischenisolationssschicht 19 existieren, kann es schwierig sein, diese durch eine oberflächliche Überwachung der Speichervorrichtung zu erfassen.

Kurzfassung der Erfindung

[0010] Gemäß einigen Ausführungsformen der vorliegenden Erfindung enthält eine integrierte Schaltungsvorrichtung, wie beispielsweise eine integrierte Schaltungsspeichervorrichtung, ein Substrat und eine Vielzahl an Reihen aus aktiven Bereichen in dem Substrat, wobei die aktiven Bereiche in einem gestaffelten Muster angeordnet sind, daß aktive Bereiche einer ersten Reihe bzw. Zeile mit Teilen eines Isolationsbereiches ausgerichtet sind, der aktive Bereiche von einer benachbarten zweiten Reihe trennt. Die Source- und Drainbereiche sind in den aktiven Bereichen und sind derart angeordnet, daß jeder aktive Bereich einen Drainbereich aufweist, der zwischen zwei Sourcebereichen angeordnet ist. Eine Vielzahl von Wortleitungsstrukturen sind auf dem Substrat quer zu den Reihen aus aktiven Bereichen angeordnet, so daß die Wortleitungsstrukturen die aktiven Bereiche zwischen den Sourcebereichen und den Drainbereichen kreuzen. Jeweilige Reihen an leitenden Kontaktflecken (im folgenden Kontaktspads) sind zwischen den jeweiligen benachbarten Wortleitungsstrukturen angeordnet, einschließlich erster Leitungspads auf den Sourcebereichen, zweiten Leitungspads auf den Drainbereichen und dritten Leitungspads auf den die aktiven Bereiche trennenden Isolationsbereiche. Eine Vielzahl von Bitleitungsstrukturen sind auf dem Substrat vorhanden, und erstrecken sich quer zu den Wortleitungsstrukturen und kontaktieren die zweiten Leitungspads.

[0011] Gemäß bestimmter Ausführungsformen ist eine Zwischenisolationsschicht auf dem Substrat. Die Bitleitungsstrukturen können eine Vielzahl von Leitungsplugs aufweisen, die sich durch die Zwischenisolationsschicht strecken, um mit den zweiten Leitungspads in Kontakt zu kommen. Die Leitungsplugs können ebenso die dritten Leitungspads kontaktieren. Die Bitleitungsstrukturen können Leitungslinien bzw. Leitungen aufweisen, die auf der Zwischenisolationsschicht angeordnet sind und in Kontakt mit dem Leitungsplugs sind. Aufgrund des Aufbaus der Vorrichtung kann die Ausbildung der Leitungsplugs leichter hergestellt werden und ist weniger anfällig für Ausrichtungsfehler.

[0012] Bei einigen Ausführungsformen des Verfahrens gemäß der vorliegenden Erfindung wird ein Isolationsbereich, der eine Vielzahl von Reihen aus aktiven Bereichen bestimmt, in einem Substrat ausgebildet. Die aktiven Bereiche sind in einem gestaffelten Muster angeordnet, so daß aktive Bereiche der ersten Reihe mit Abschnitten des Isolationsbereichs ausgerichtet sind, die aktive Bereiche einer benachbarten zweiten Reihe trennt. Eine Vielzahl von Wortleitungsstrukturen ist auf dem Substrat ausgebildet und quer zu den aktiven Bereichen angeordnet, so daß die Wortleitungsstrukturen die aktiven Bereiche zwischen den Sourcebereichen und den Drainbereichen kreuzen. Die Sourcebereiche und Drainbereiche sind in Abschnitten der aktiven Bereiche ausgebildet, die zwischen den Wortleitungsstrukturen angeordnet sind, wobei die Sourcebereiche und die Drainbereiche derart angeordnet sind, daß jeder aktive Bereich einen Drainbereich aufweist, der zwischen zwei Sourcebereichen angeordnet ist. Jeweilige Reihen von Leitungspads sind zwischen den jeweiligen benachbarten Wortleitungsstrukturen einschließlich der ersten Leitungspads auf den Sourcebereichen, den zweiten Leitungspads auf den Drainbereichen und den dritten Leitungspads auf den Abschnitten des Isolationsbereichs, der die aktiven Bereiche trennt, ausgebildet. Eine Vielzahl von Bitleitungsstrukturen ist auf dem Substrat ausgebildet und erstreckt sich quer zu den Wortleitungsstrukturen und kontaktiert die zweiten Leitungspads.

[0013] Eine Zwischenisolationsschicht kann auf den Lei-

tungspads ausgebildet werden. Die Vielzahl von Bitleitungsstrukturen können durch Ausbilden einer Vielzahl von Leitungsplugs, die sich durch die Zwischenisolationsschicht hindurch zum Kontaktieren der zweiten Leitungspads erstreckt, ausgebildet werden. Ein Ausbilden einer Vielzahl von Wortleitungsstrukturen kann eine Ausbilden von abgedeckten (capped) Wortleitungsstrukturen aufweisen, von denen jede eine Leitungsleitung auf dem Substrat, eine Abdeckschicht auf der Leitungsleitung und Seitenwandisolatoren auf den Seitenwänden der Leitungsleitung aufweisen. Ein Ausbilden von Source- und Drainbereichen in den aktiven Bereichen kann ein Implantieren von Störstellen in Abschnitten der aktiven Bereiche zwischen den abgedeckten Wortleitungsstrukturen aufweisen. Ein Ausbilden von jeweiligen Reihen an Kontaktspads kann ein Ausbilden einer Vielzahl von zueinander beabstandeten Isolationsbereichen auf dem Substrat quer zu den Wortleitungsstrukturen aufweisen, wobei die Isolationsbereiche sich zu den Kontaktabschnitten des Isolationsbereichs zwischen den abgedeckten Wortleitungsstrukturen erstrecken, ein Ausbilden einer Leitungsschicht auf dem Substrat aufweisen, wobei die Leitungsschicht Lücken zwischen den beabstandeten Isolationsbereichen auffüllt und sich zum Kontaktieren der Source- und Drainbereichen erstreckt, und ein Entfernen eines Abschnitts der Leitungsschicht aufweisen, um die Reihen der Kontaktspads auszubilden.

[0014] Ein Ausbilden einer Vielzahl beabstandeter Isolationsbereiche kann ein Ausbilden einer Vielzahl von beabstandeten Maskenbereichen quer zu den abgedeckten Wortleitungsstrukturen aufweisen, wobei jeweilige beabstandete Maskenbereiche über einer jeweiligen Reihe der aktiven Bereiche liegt, ein Ausbilden einer Isolationsschicht auf dem Substrat aufweisen, wobei die Isolationsschicht Lücken zwischen den beabstandeten Maskenbereichen auffüllt, und ein Entfernen eines Teils der Isolationsschicht zum Ausbilden einer Vielzahl von beabstandeten Isolationsbereichen aufweisen. Die Maskenbereiche können Photoresist-Material aufweisen, und ein Ausbilden einer Isolationsschicht kann ein Abscheiden eines Isolations-Materials bei einer Temperatur aufweisen, die ausreichend niedrig ist, um die Integrität der Maskenbereiche aufrechtzuerhalten. Einem Ausbilden einer Leitungsschicht kann ein Entfernen der Maskenbereiche zum Freiliegen der Source- und Drainbereiche vorausgehen, und ein Ausbilden einer Leitungsschicht kann ein Ausbilden einer Leitungsschicht aufweisen, die die Lücken zwischen den Isolationsschichten auffüllt und die freigelegten Source- und Drainbereichen kontaktiert.

Kurze Beschreibung der Zeichnung

[0015] Fig. 1 zeigt eine Draufsicht einer herkömmlichen Speichervorrichtung.

[0016] Fig. 2 zeigt eine Querschnittsansicht der herkömmlichen Speichervorrichtung entlang einer Linie II-II' der Fig. 1.

[0017] Fig. 3 bis 8 zeigen Draufsichten, die Herstellungsprodukte und Herstellungsvorgänge einer Speichervorrichtung gemäß einiger Ausführungsformen der Erfindung darstellen.

[0018] Fig. 9A bis 9D sind Querschnittsansichten der Struktur der Fig. 3 entlang der Linien a-a', b-b', c-c', bzw. d-d'.

[0019] Fig. 10A bis 10D sind Querschnittsansichten der Struktur der Fig. 4 entlang der Linien a-a', b-b', c-c', bzw. d-d'.

[0020] Fig. 11A bis 11D sind Querschnittsansichten der Struktur der Fig. 5 entlang der Linien a-a', b-b', c-c', bzw. d-d'.

d'.

[0021] Fig. 12A bis 12D sind Querschnittsansichten der Struktur der Fig. 6 entlang der Linien a-a', b-b', c-c', bzw. d-d'.

[0022] Fig. 13A bis 13D sind Querschnittsansichten der Struktur der Fig. 7 entlang der Linien a-a', b-b', c-c', bzw. d-d'.

[0023] Fig. 14A bis 14D sind Querschnittsansichten der Struktur der Fig. 8 entlang der Linien a-a', b-b', c-c', bzw. d-d'.

[0024] Fig. 15 zeigt eine Draufsicht, die Herstellungsprodukte und -vorgänge gemäß weiteren Ausführungsformen der vorliegenden Erfindung darstellt.

[0025] Fig. 16 zeigt eine Querschnittsansicht der Struktur in Fig. 15 entlang einer Linie e-e'.

Detaillierte Beschreibung der Erfindung

[0026] Die vorliegende Erfindung wird im Folgenden unter Bezugnahme auf die begleitenden Zeichnungen eingehender beschrieben, in welcher bevorzugte Ausführungsformen der vorliegenden Erfindung gezeigt sind. Diese Erfindung kann jedoch in zahlreichen verschiedenen Formen verkörpert sein und sollte nicht so ausgelegt werden, als daß sie auf die hier gezeigten Ausführungsformen beschränkt sei. Vielmehr werden diese Ausführungsformen hier so dargestellt, daß die Offenbarung sorgfältig und vollständig ist, und vermitteln dem Fachmann das Konzept der Erfindung vollständig. Bei den Zeichnungen ist die Dicke der Schichten und Bereiche aus Gründen der Klarheit vergrößert dargestellt. Ebenso ist es ersichtlich, daß wenn eine Schicht als eine "auf" einer anderen Schicht oder Substrat seiend bezeichnet wird, sie direkt auf der anderen Schicht oder dem Substrat liegen kann oder auch dazwischenliegende Schichten vorhanden sein können.

[0027] Gemäß Fig. 3 und 9A bis 9D wird ein Halbleitersubstrat 50 vorbereitet. Das Halbleitersubstrat 50 kann beispielsweise ein Siliciumsubstrat mit Störstellen von p- oder n-Typ sein. Ein nicht näher dargestellter Wannenbereich (well) ist in dem Substrat 50 ausgebildet. Eine Isolationsschicht ist in dem Halbleitersubstrat 50 unter Verwendung zum Beispiel eines Shallow-Trench-Isolation-Verfahrens (STI) ausgebildet, wodurch aktive Bereiche 51 bestimmt werden, auf welchen die Vorrichtungen ausgebildet werden. Die aktiven Bereiche 51 sind in Reihen bzw. Zeilen Rn-1, Rn, Rn+1, Rn+2, ... angeordnet. Die Reihen Rn-1, Rn, Rn+1, Rn+2, ... sind in einer gestaffelten Weise angeordnet, d. h. ein aktiver Bereich 51, der zu einer bestimmten Reihe Rn gehört, ist mit einem Abschnitt der Isolationsschicht 52 zwischen zwei benachbarten aktiven Bereichen 51 einer benachbarten Reihe Rn+1 ausgerichtet.

[0028] Gemäß Fig. 4 und 10A bis 10D werden eine Gate-Isolationschicht 54, eine Leitungsschicht 56 für ein Gate-Elektrode und eine Abdeckungsschicht 58 nacheinander auf dem Halbleitersubstrat 50 abgeschieden. Die Gate-Leitungsschicht 56 kann aus einer dotierten Polysiliciumschicht ausgebildet sein. Eine Übergangsmetall-Silicid-Schicht kann zwischen der Gate-Leitungsschicht 56 und der Abdeckungsschicht 58 ausgebildet sein. Die Abdeckungsschicht 58 kann aus einem Material wie beispielsweise einer Silicium-Nitrid-Schicht SiN oder einer Silicium-Oxi-Nitridschicht (SiON) ausgebildet sein, die eine höhere Ätzselektivität gegenüber der später auszubildenden Zwischenisolationsschicht aufweist. Als nächstes wird die Abdeckungsschicht 58 und die Gate-Leitungsschicht 56 in einer Linienform gemustert bzw. maskiert, so daß sie die Längsachse jedes aktiven Bereichs 51 kreuzt. Als nächstes wird eine Isolationschicht für Spacer auf dem Halbleitersubstrat 50 abgeschieden. Die

Isolationschicht kann aus dem gleichen Material wie die Abdeckungsschicht 58 ausgebildet sein. Die Isolationschicht wird anisotrop geätzt, wodurch isolierende Spacer 59 an den Seiten der Gate-Leitungsschicht 56 und der Abdeckungsschicht 58 ausgebildet werden.

[0029] Strukturen einschließlich der Gate-Isolationschicht 54, der Gate-Leitungsschicht 56, der Abdeckungsschicht 58 und den isolierenden Spacern 59 werden im folgenden als Wortleitungsstrukturen 60 bezeichnet. Die Wortleitungsstrukturen 60 sind mit einem vorbestimmten Abstand voneinander und parallel zueinander beabstandet. Ein Paar von Wortleitungsstrukturen kreuzt jeden aktiven Bereich 51. Die aktiven Bereiche 51 können in drei annähernd gleiche Teile eingeteilt werden.

[0030] Gemäß Fig. 11 und 11A bis 11D werden Störstellen des n-Typs (im folgenden n-Störstellen) in Abschnitten der aktiven Bereiche 51 an beiden Seiten jeder Wortleitungsstruktur 60 implantiert, wodurch Source-Bereiche 62A und Drain-Bereiche 62B ausgebildet werden. Eine Photoresistschicht wird anschließend bis zu einer vorbestimmten Dicke auf dem Substrat 50, auf welchem die Wortleitungen 60 ausgebildet sind, abgeschieden. Die Photoresistschicht wird bis zu einer Dicke abgeschieden, die ausreichend ist, um die Räume zwischen den Wortleitungsstrukturen 60 aufzufüllen. Die Photoresistschicht wird freigelegt bzw. belichtet (exposed) und entwickelt, so daß Abschnitte 64 der Photoresistschicht auf den Reihen der aktiven Bereiche 51 verbleiben. Die Photoresistmuster 64 kreuzen die Wortleitungsstrukturen 60 und sind voneinander mit einem vorbestimmten Abstand beabstandet. Die Photoresistmuster (bzw. Photoresistmaske) 64 kann ohne einen Beschädigen der aktiven Bereiche 51 entfernt werden.

[0031] Gemäß Fig. 6 und 12A bis 12D wird eine Oxidschicht 66 auf dem Halbleitersubstrat 50 ausgebildet. Die Oxidschicht 66 wird bis zu einer Dicke ausgebildet, die ausreicht, um die Räume zwischen den Photoresistmustern 64 aufzufüllen, und wird vorzugsweise bei einer niedrigen Temperatur, beispielsweise bei einer Temperatur von 150–250°C abgeschieden. Die Oxidschicht 66 wird zurückgeätzt, um die Photoresistmuster 64 freizulegen, wobei die Räume zwischen den Photoresistmustern, die mit der Oxidschicht 66 aufgefüllt sind, übrigbleiben.

[0032] Gemäß Fig. 7 und 13A bis 13D können die Photoresistmuster 64 durch ein allgemein bekanntes Plasma-Ashing-Verfahren entfernt werden, so daß die aktiven Bereiche und die Isolationschicht 52 durch die Oxidschicht 66 freigelegt sind. Eine Leitungsschicht für selbstjustierte Kontaktspads wird auf dem Halbleitersubstrat 50 bis zu einer Dicke abgeschieden, die ausreichend ist, die Räume die zuvor durch das Photoresistmuster besetzt waren, aufzufüllen.

Die Leitungsschicht weist beispielsweise eine störstellendierte Polysiliciumschicht auf. Als nächstes werden die Leitungsschicht und die Oxidschicht 66 chemisch und mechanisch so lange poliert, bis die Oberflächen der Wortleitungsstrukturen 60 freigelegt sind, wodurch erste, zweite und dritte selbstjustierte Kontaktspads 68a, 68b und 68c in den Räumen zwischen den Wortleitungsstrukturen 60 ausgebildet sind. Die ersten, zweiten und dritten selbstjustierten Kontaktspads 68a, 68b und 68c sind voneinander durch die Wortleitungsstrukturen 60 und die Oxidschicht 66 elektrisch isoliert. Der erste selbstjustierte Kontakt 68a, der in Kontakt mit dem Source-Bereich 62a ist, und der zweite selbstjustierte Kontakt 68b, der in Kontakt mit dem Drain-Bereich 62b ist, sind leitend, wohingegen der dritte selbstjustierte Kontakt 68c auf der Isolationschicht 52 "schwebt" d. h. isoliert ist (floating). Die Größen der ersten und zweiten selbstjustierten Kontaktspads 68a und 68b sind gleich und der dritte selbstjustierte Kontakt 68c kann die gleiche Größe wie die

ersten und zweiten selbstjustierten Kontakte aufweisen. Wie es in Fig. 7 gezeigt ist, sind die ersten, zweiten und dritten selbstjustierten Kontaktläden **68a**, **68b** und **68c** in der horizontalen Richtung angeordnet.

[0033] Wie es in Fig. 8 und 14A bis 14D gezeigt ist, wird die Oxidschicht **66** entfernt, was Abschnitte der Isolationsschicht **52** zwischen den ersten, zweiten und dritten selbstjustierten Kontaktläden **68a**, **68b** und **68c** freilegt. Eine Zwischenisolationsschicht **70** wird auf dem Halbleitersubstrat **50** ausgebildet und anschließend zum Freilegen des zweiten selbstjustierten Kontaktes **68b** geätzt, wodurch ein Bitleitungskontaktloch **72** ausgebildet wird. Wie es in Fig. 14C gezeigt ist, wird das Bitleitungskontaktloch **72** so ausgebildet, daß der zweite selbstjustierte Kontakt **68b** und der dritte selbstjustierte Kontakt **68c** freigelegt sind. Da ein aktiver Bereich **51**, der zu einer vorbestimmten Reihe und Spalte gehört, an einer Stelle positioniert ist, die mit einer Lücke zwischen zwei aktiven Bereichen **51**, nahe dem aktiven Bereich **51** korrespondiert ist, ist der selbstjustierte Kontakt, der an dem zweiten selbstjustierten Kontakt **68b** (in einer vertikalen Richtung) angrenzt, der dritte selbstjustierte Kontakt **68c**, der auf der Isolationsschicht **52** isoliert ist. Dementsprechend kann die Ausbildung eines Kurzschlusses auch dann vermieden werden, falls die zweiten und dritten selbstjustierten Kontaktläden **68b** und **68c** gleichzeitig in Kontakt mit einer Bitleitung sind. Da außerdem das Bitleitungskontaktloch **72** so ausgebildet werden kann, daß es sich zu dem dritten selbstjustierten Kontakt **68c** ebenso wie zu dem zweiten selbstjustierten Kontakt **68b** ausdehnt, kann die Fläche des Bitleitungskontaktlochs **72** relativ groß sein.

Dementsprechend kann eine Maskenausrichtung zum Ausbilden des Bitleitungskontaktlochs **72** leichter erzielt werden. Wie gezeigt ist die Breite des Bitleitungskontaktlochs **72** größer als die Lücke zwischen den zweiten und dritten selbstjustierten Kontaktläden **68b** und **68c**.

[0034] Eine Leitungsschicht ist auf der Zwischenisolationsschicht **70** ausgebildet, wodurch ein Kontaktplug **76** in dem Bitleitungskontaktloch **72** ausgebildet wird. Die Leitungsschicht wird so gemustert, daß leitendes Material in den Räumen zwischen dem ersten, zweiten und dritten selbstjustierten Kontaktläden **68a**, **68b** und **68c** verbleibt, welche die Wortleitungsstrukturen **60** kreuzen, wodurch Bitleitungen **74** ausgebildet werden. Wie es in Fig. 14C gezeigt ist, kontaktiert eine Bitleitung **74** die zweiten und dritten selbstjustierten Kontaktläden **68b** und **68c** über den Kontaktplug **76**.

[0035] Wie vorhergehend gemäß einigen Ausführungsformen der vorliegenden Erfindung beschrieben, werden die Photoresistmuster **64** auf den Zellbereichen ausgebildet, mit Ausnahme der Reihen, an welchen die aktiven Bereiche **51** ausgebildet worden sind, mit anderen Worten, mit Ausnahme für die Bereiche, an welchen die Bitleitungen **74** ausgebildet werden. Die Oxidschicht **66** wird zum Auffüllen von Räumen zwischen den Photoresistmustern **64** bei niedrigen Temperaturen ausgebildet. Die Photoresistmuster **64** werden selektiv entfernt und anschließend wird eine Leitungsschicht derart ausgebildet, daß sie die Räume, die von dem Photoresistmuster **64** besetzt waren, ausreichend auffüllt. Die Leitungsschicht und die Oxidschicht **66** werden chemisch und mechanisch poliert, um die Oberflächen der Wortleitungsstrukturen **60** freizulegen, wodurch die selbstjustierten Kontaktläden **68a**, **68b** und **68c** ausgebildet werden. Die Oxidschicht **66** wird anschließend entfernt.

[0036] Demgemäß können die selbstjustierten Kontaktläden **68a**, **68b** und **68c** ohne Durchführung eines photolithographischen Verfahrens zum selektiven Freilegen der alaien Bereiche ausgebildet werden. Da dieses photolithographische Verfahren weggelassen werden kann, werden Pro-

bleme, wie beispielsweise eine Brückenbildung, verringert. Falls das photolithographische Verfahren zum Freilegen der selbstjustierten Kontaktöffnungen nicht durchgeführt wird, kann außerdem jeder der selbstjustierten Kontaktläden **68a**, **68b** und **68c** die gleiche Größe aufweisen, was Ätzunregelmäßigkeiten verringern kann.

[0037] Fig. 15 und 16 stellen eine alternative Anordnung der Kontaktlöcher **72** gemäß weiteren Ausführungsformen der vorliegenden Erfindung dar. Eine Grundstruktur wird wie zuvor unter Bezugnahme auf Fig. 3 bis 7 und 9 bis 13 hergestellt. Gemäß Fig. 15 und 16 werden Abschnitte einer Zwischenisolationsschicht **70** zum Freilegen des zweiten selbstjustierten Kontaktlädens **68b**, das in Kontakt mit dem Drain-Bereich **62b** steht, geätzt. Insbesondere werden ein zweiter selbstjustierter Kontaktlad **68b**, der zu einer Reihe **Rn** gehört, und ein dritter selbstjustierter Kontaktlad **68c**, welcher auf einem Isolationsbereich **52** "schwebt" und zu einer vorhergehenden Reihe **Rn-1** gehört und in der gleichen Spalte wie der zweite selbstjustierte Kontaktlad **68b** ist, durch das gleiche Kontaktloch **72** freigelegt.

[0038] Obwohl diese Erfindung im Detail gezeigt und mit Bezugnahme auf bevorzugte Ausführungsformen davon beschrieben worden ist, ist es für den Fachmann offensichtlich, daß zahlreiche Änderungen in Form und Detail gemacht werden können, ohne von dem Konzept und Umfang der Erfindung, wie er durch die beigefügten Ansprüche bestimmt ist, abzuweichen.

Patentansprüche

1. Integrierte Schaltungsvorrichtung, die aufweist:
ein Substrat;
eine Vielzahl von Reihen aus aktiven Bereichen in dem Substrat, wobei die aktiven Bereiche in einem gestaffelten Muster derart angeordnet sind, daß aktive Bereiche einer ersten Reihe mit Abschnitten eines Isolationsbereichs, der aktive Bereiche von einer benachbarten zweiten Reihe trennt, ausgerichtet sind;
Source- und Drainbereiche in den aktiven Bereichen, die derart angeordnet sind, daß jeder aktive Bereich einen Drainbereich aufweist, der zwischen zwei Sourcebereichen liegt;
eine Vielzahl von Wortleitungsstrukturen auf dem Substrat, die quer zu den Reihen aus aktiven Bereichen derart angeordnet sind, daß Wortleitungsstrukturen die aktiven Bereiche zwischen den Sourcebereichen und den Drainbereichen kreuzen;
wobei jeweilige Reihen aus Leitungspads einschließlich erster Leitungspads auf dem Sourcebereichen, zweiter Leitungspads auf den Drainbereichen und dritter Leitungspads auf den die aktiven Bereiche trennenden Isolationsbereichen zwischen jeweiligen benachbarten Wortleitungsstrukturen liegen; und
eine Vielzahl von Bitleitungsstrukturen auf dem Substrat, die sich quer zu den Wortleitungsstrukturen erstrecken und die zweiten Leitungspads kontaktieren.
2. Vorrichtung nach Anspruch 1, die ferner eine Zwischenisolationsschicht auf dem Substrat aufweist, und wobei die Bitleitungsstrukturen eine Vielzahl von Leitungspads aufweisen, die sich durch die Zwischenisolationsschicht zum Kontaktieren der zweiten Leitungspads erstrecken.
3. Vorrichtung nach Anspruch 2, wobei die Leitungspads ebenso die dritten Leitungspads kontaktieren.
4. Vorrichtung nach Anspruch 2, wobei die Bitleitungsstrukturen Leitungseitungen aufweisen, die auf der Zwischenisolationsschicht liegen und in Kontakt mit den Leitungspads sind.

5. Vorrichtung nach Anspruch 4, wobei die Wortleitungsstrukturen jeweils Leitungsleitungen aufweisen, die im wesentlichen parallel zueinander sind und wobei die Leitungsleitungen der Bitleitungsstrukturen im wesentlichen senkrecht zu den Leitungsleitungen der Wortleitungsstrukturen sind. 5
6. Vorrichtung nach Anspruch 4, wobei die aktiven Bereiche rechtwinklig sind.
7. Verfahren zum Ausbilden einer integrierten Schaltungsspeicheranordnung, wobei das Verfahren aufweist:
- Ausbilden eines Isolationsbereichs, der eine Vielzahl von Reihen aus aktiven Bereichen in einem Substrat bestimmt, wobei die aktiven Bereiche in einem gestaffelten Muster derart angeordnet sind, daß aktive Bereiche einer ersten Reihe mit Abschnitten des Isolationsbereichs, der die aktiven Bereiche von einer benachbarten zweiten Reihe trennt, ausgerichtet sind; 15
- Ausbilden einer Vielzahl von Wortleitungsstrukturen auf dem Substrat, die quer zu den aktiven Bereichen angeordnet sind;
- Ausbilden von Sourcebereichen und Drainbereichen in Abschnitten der aktiven Bereiche, die zwischen den Wortleitungsstrukturen liegen, wobei die Sourcebereiche und Drainbereiche derart angeordnet sind, daß jeder aktive Bereich einen Drainbereich aufweist, der zwischen zwei Sourcebereichen liegt; 25
- Ausbilden von jeweiligen Reihen an Leitungspads einschließlich erster Leitungspads auf den Sourcebereichen, zweiter Leitungspads auf den Drainbereichen und dritter Leitungspads auf Bereichen des aktiven Bereiches trennenden Isolationsbereichs, die zwischen jeweiligen benachbarten Wortleitungsstrukturen liegen; und 30
- Ausbilden einer Vielzahl von Bitleitungen auf dem Substrat, die sich quer zu den Wortleitungsstrukturen erstrecken und die zweiten Leitungspads kontaktieren. 35
8. Verfahren nach Anspruch 7, das ferner ein Ausbilden einer Zwischenisolationsschicht auf den Leitungspads aufweist, und wobei ein Ausbilden einer Vielzahl von Bitleitungsstrukturen ein Ausbilden einer Vielzahl von Leitungsplugs aufweist, die sich durch die Zwischenisolationsschicht zum Kontaktieren der zweiten Leitungspads erstreckt. 40
9. Verfahren nach Anspruch 8, wobei die Leitungsplugs ebenso die dritten Leitungspads kontaktieren. 45
10. Verfahren nach Anspruch 8, wobei eine Ausbilden einer Vielzahl von Bitleitungsstrukturen ferner ein Ausbilden von Leitungsleitungen auf der Zwischenisolationsschicht und in Kontakt mit den Leitungsplugs aufweist. 50
11. Verfahren nach Anspruch 10, wobei die Wortleitungsstrukturen jeweils Leitungsleitungen aufweisen, die im wesentlichen parallel zueinander sind, und wobei die Leitungsleitungen der Bitleitungsstrukturen im wesentlichen senkrecht zu den Leitungsleitungen der Wortleitungsstrukturen sind. 55
12. Verfahren nach Anspruch 12, wobei die aktiven Bereiche rechtwinklig sind.
13. Verfahren nach Anspruch 7, wobei ein Ausbilden einer Vielzahl von Wortleitungsstrukturen ein Ausbilden von abgedeckten Wortleitungsstrukturen aufweist, die jede eine Leitungsleitung auf dem Substrat, eine Abdeckschicht auf der Leitungsleitung und Seitenwandisolatoren auf den Seitenwänden der Leitungsleitung aufweisen. 60
14. Verfahren nach Anspruch 13, wobei ein Ausbilden von Source- und Drainbereichen in den aktiven Berei-

- chen ein Implantieren von Störstellen in Abschnitte der aktiven Bereich zwischen den abgedeckten Wortleitungsstrukturen aufweist.
15. Verfahren nach Anspruch 14, wobei ein Ausbilden von jeweiligen Reihen von Kontaktpads folgende Schritte aufweist:
- Ausbilden einer Vielzahl von beabstandeten Isolationsbereichen auf dem Substrat quer zu den abgedeckten Wortleitungsstrukturen, wobei die Isolationsbereiche sich zu den Kontaktabschnitten des Isolationsbereichs zwischen den abgedeckten Wortleitungsstrukturen erstrecken; 15
- Ausbilden einer Leitungsschicht auf dem Substrat, wobei die Leitungsschicht Lücken zwischen den beabstandeten Isolationsbereichen auffüllt und sich zum Kontaktieren der Source- und Drainbereiche erstreckt; und
- Entfernen eines Abschnitts der Leitungsschicht zum Ausbilden der Reihen von Kontaktpads.
16. Verfahren nach Anspruch 15, wobei ein Ausbilden einer Vielzahl von beabstandeten Isolationsbereichen folgende Schritte aufweist:
- Ausbilden einer Vielzahl von beabstandeten Maskierungsbereichen, die zu den abgedeckten Wortleitungsstrukturen quer liegen, wobei jeweilige beabstandete Maskierungsbereiche über einer jeweiligen Reihe der aktiven Bereiche liegen; 25
- Ausbilden einer Isolationsschicht auf dem Substrat, wobei die Isolationsschicht die Lücken zwischen den beabstandeten Maskierungsbereichen auffüllt; und Entfernen eines Abschnitts der Isolationsschicht zum Ausbilden einer Vielzahl von beabstandeten Isolationsbereichen.
17. Verfahren gemäß Anspruch 16, wobei die Maskierungsbereiche ein Photoresistmaterial aufweisen, und wobei ein Ausbilden einer Isolationsschicht ein Abscheiden eines Isolationsmaterials bei einer Temperatur aufweist, die ausreichend niedrig ist, um die Integrität der Maskierungsbereiche aufrecht zu erhalten. 35
18. Verfahren nach Anspruch 16, wobei einem Ausbilden einer Leitungsschicht ein Entfernen der Maskierungsbereiche vorausgeht, um die Source- und Drainbereiche freizulegen, und wobei ein Ausbilden der Leitungsschicht ein Ausbilden einer Leitungsschicht aufweist, die die Lücken zwischen den Isolationsbereichen auffüllt und die freigelegten Source- und Drainbereiche kontaktiert. 40
19. Integrierte Schaltungsspeichervorrichtung, die aufweist:
- ein Halbleitersubstrat;
- eine Isolationsschicht, die eine Vielzahl von aktiven Bereichen bestimmt, welche in einem vorbestimmten Abstand zueinander in Spalten und Reihen auf dem Halbleitersubstrat angeordnet sind;
- ein Sourcebereich, der auf einem Abschnitt jedes aktiven Bereiches ausgebildet ist;
- ein Drainbereich, der an einem anderen Abschnitt jedes aktiven Bereichs ausgebildet ist;
- selbstjustierte Kontaktpads, die zu einer Reihe gehören, bei welcher die Source- und Drainbereiche ausgebildet worden sind, und die in Räumen zwischen der Vielzahl von aktiven Bereichen ausgebildet sind. 50
20. Integrierte Schaltungsspeichervorrichtung nach Anspruch 19, wobei einer der aktiven Bereiche, der zu einer ausgewählten Reihe gehört, an einer Position angeordnet ist, die mit einer Lücke zwischen zwei benachbarten aktiven Bereichen der aktiven Bereiche korrespondiert, die bei einer Reihe neben der ausgewähl-

- ten Reihe plaziert sind.
21. Integrierte Schaltungsspeichervorrichtung nach Anspruch 19, die ferner Wortleitungsstrukturen aufweist, die zum Kreuzen der Vielzahl von aktiven Bereichen angeordnet sind, so daß sie Source- und Drainbereiche bestimmt sind. 5
22. Integrierte Schaltungsspeichervorrichtung nach Anspruch 21, wobei ein Paar von Wortleitungsstrukturen, das in einem vorbestimmten Abstand zueinander angeordnet ist, in jeder der Vielzahl von aktiven Bereichen liegt und sich in einer Spaltenrichtung erstreckt. 10
23. Integrierte Schaltungsspeichervorrichtung nach Anspruch 22, wobei jeder der Wortleitungsstrukturen aufweist:
- eine Gate-Isolationsschicht, die auf dem Halbleitersubstrat ausgebildet ist; 15
 - eine Leitungsschicht, die auf der Gate-Isolationsschicht ausgebildet ist;
 - eine Abdeckschicht, die auf der Leitungsschicht ausgebildet ist; 20
 - isolierende Spacer an beiden Seiten der Abdeckschicht, der Leitungsschicht und der Gate-Isolationsschicht.
24. Integrierte Schaltungsspeichervorrichtung nach Anspruch 19, die ferner Bitleitungsstrukturen aufweist, die in Räumen zwischen den Reihen ausgebildet sind, bei welchen die aktiven Bereiche ausgebildet sind, so daß sie mit dem Drainbereich elektrisch verbunden sind und die Wortleitungsstrukturen kreuzen. 25
25. Integrierte Schaltungsspeichervorrichtung nach Anspruch 24, wobei die Bitleitung sowohl das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, als auch das selbstjustierte Kontaktpad, das auf der Isolationsschicht plaziert ist und zu der gleichen Spalte wie das selbstjustierte Kontaktpad gehört, das in Kontakt mit dem Drainbereich, aber zu einer anderen Reihe vor oder neben der Reihe gehört, mit welcher das selbstjustierte Kontaktpad in Kontakt mit dem Drainbereich ist, gleichzeitig kontaktiert. 30
26. Integrierte Schaltungsspeichervorrichtung nach Anspruch 24, die ferner eine Isolationsschicht aufweist, die unter der Bitleitung ausgebildet wird. 40
27. Integrierte Schaltungsspeichervorrichtung nach Anspruch 26, wobei das selbstjustierte Kontaktpad, das in Kontakt mit dem Sourcebereich ist, das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, und das selbstjustierte Kontaktpad auf der Isolationsschicht voneinander sowohl in einer Reihenrichtung durch jede der Wortleitungsstrukturen als auch durch die Isolationsschicht unter der Bitleitung in einer Spaltenrichtung voneinander isoliert sind. 45
28. Integrierte Schaltungsspeichervorrichtung nach Anspruch 19, wobei das selbstjustierte Kontaktpad, das in Kontakt mit dem Sourcebereich ist, und das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, die gleiche Größe aufweisen. 50
29. Integrierte Schaltungsspeichervorrichtung nach Anspruch 19, wobei das selbstjustierte Kontaktpad, das in Kontakt mit dem Sourcebereich ist, das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, und das selbstjustierte Kontaktpad, das auf der Isolationsschicht ausgebildet ist, die gleiche Größe aufweisen. 60
30. Integrierte Schaltungsspeichervorrichtung, die aufweist:
- ein Halbleitersubstrat;
 - eine Isolationsschicht, die eine Vielzahl von aktiven Bereichen bestimmt, welche in einem vorbestimmten Abstand zueinander in Spalten und Reihen auf dem 65

- Halbleitersubstrat angeordnet sind;
- eine Vielzahl von Wortleitungsstrukturen, die sich zum Kreuzen jedes der aktiven Bereiche erstreckt;
 - ein Sourcebereich, der an einem der aktiven Bereiche außerhalb einer Vielzahl von Wortleitungsstrukturen ausgebildet wird;
 - ein Drainbereich, der an einem der aktiven Bereiche zwischen der Vielzahl von Wortleitungsstrukturen ausgebildet wird;
 - ein selbstjustierter Kontaktpad, der einen ersten selbstjustierten Kontaktpad, der in Kontakt mit dem Sourcebereich ist, einen zweiten selbstjustierten Kontaktpad, der in Kontakt mit dem Drainbereich ist, und einen dritten selbstjustierten Kontaktpad, der auf der Isolationsschicht ausgebildet ist, aufweist,
 - wobei die ersten, zweiten und dritten selbstjustierten Kontaktpads die gleiche Größe aufweisen.
31. Integrierte Schaltungsspeichervorrichtung nach Anspruch 30, wobei einer der aktiven Bereiche, der zu einer ausgewählten Reihe gehört, an einer Position angeordnet wird, der mit einer Lücke zwischen zwei benachbarten aktiven Bereichen der aktiven Bereiche korrespondiert, die an einer Reihe neben der ausgewählten Reihe plaziert sind.
32. Integrierte Schaltungsspeichervorrichtung nach Anspruch 30, wobei ein Paar von Wortleitungsstrukturen die mit einem vorbestimmten Abstand zueinander angeordnet sind, in jeder der Vielzahl von aktiven Bereichen liegen.
33. Integrierte Schaltungsspeichervorrichtung nach Anspruch 32, wobei jede der Wortleitungsstrukturen aufweist:
- eine Gate-Isolationsschicht, die auf dem Halbleitersubstrat ausgebildet ist;
 - eine Leitungsschicht, die auf der Gate-Isolationsschicht ausgebildet ist;
 - eine Abdeckschicht, die auf der Leitungsschicht ausgebildet ist;
 - isolierende Spacer an beiden Seiten der Abdeckschicht, der Leitungsschicht und der Gate-Isolationsschicht.
34. Integrierte Schaltungsspeichervorrichtung nach Anspruch 30, die ferner eine Bitleitung aufweist, die in einem Raum zwischen den Reihen ausgebildet sind, an welchen die aktiven Bereiche ausgebildet werden, so daß sie mit dem Drainbereich elektrisch verbunden sind und die Wortleitungsstrukturen kreuzen.
35. Integrierte Schaltungsspeichervorrichtung nach Anspruch 30, wobei die Bitleitung sowohl das zweite selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, als auch das dritte selbstjustierte Kontaktpad, das zu der gleichen Spalte wie die das zweite selbstjustierte Kontaktpad gehört, das in Kontakt mit dem Drainbereich ist, aber zu einer Reihe vor oder neben der Reihe gehört, zu welcher das zweite selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, gehört gleichzeitig kontaktiert.
36. Integrierte Schaltungsspeichervorrichtung nach Anspruch 31, die weiterhin eine Isolationsschicht aufweist, die unter der Bitleitung ausgebildet ist.
37. Integrierte Schaltungsspeichervorrichtung nach Anspruch 36, wobei das erste selbstjustierte Kontaktpad, das zweite selbstjustierte Kontaktpad und das dritte selbstjustierte Kontaktpad sowohl in einer Reihenrichtung durch die Wortleitungsstrukturen als auch in einer Spaltenrichtung durch die Isolationsschicht unter der Bitleitung voneinander isoliert sind.
38. Integrierte Schaltungsspeichervorrichtung, die aufweist:

ein Halbleitersubstrat;
 eine Isolationsschicht, die eine Vielzahl von aktiven Bereichen bestimmt, welche in einem bestimmten Abstand zueinander in Spalten und Reihen auf dem Halbleitersubstrat angeordnet sind; 5
 ein Paar von Wortleitungsstrukturen, das in jedem der aktiven Bereiche liegt und sich in einer Reihenrichtung erstreckt, so daß es jeden der aktiven Bereiche kreuzt;
 einen Sourcebereich, der an einem der aktiven Bereiche außerhalb der Vielzahl von Wortleitungsstrukturen 10 ausgebildet ist;
 einen Drainbereich, der an einem der aktiven Bereiche zwischen der Vielzahl von Wortleitungsstrukturen ausgebildet ist;
 ein selbstjustierter Kontaktpad, das ein erstes selbstausgerichtetes Kontaktpad, das in Kontakt mit dem Sourcebereich steht, ein zweites selbstjustiertes Kontaktpad, das in Kontakt mit dem Drainbereich steht, und ein drittes selbstjustiertes Kontaktpad, das auf der Isolationsschicht ausgebildet ist, aufweist; und 15
 ein Bitleitung, die in einem Raum zwischen den Reihen ausgebildet ist, bei welchen die aktiven Bereiche ausgebildet sind, so daß sie mit dem Drainbereich elektrisch verbunden ist und die Wortleitungsstrukturen kreuzt; 20
 wobei die Bitleitung sowohl das zweite selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, als auch das dritte selbstjustierte Kontaktpad, das zu der gleichen Spalte wie das zweite selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, gehört, aber zu einer Reihe vor oder neben der Reihe gehört, zu welcher das zweite selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, gehört, gleichzeitig kontaktiert. 25
 39. Integrierte Schaltungsspeichervorrichtung nach Anspruch 38, wobei einer der aktiven Bereiche, der zu einer ausgewählten Reihe gehört, an einer Position angeordnet ist, die eine Lücke zwischen zwei benachbarten aktiven Bereichen der aktiven Bereiche korrespondiert, die an einer Reihe neben der ausgewählten Reihe plaziert ist. 35
 40. Integrierte Schaltungsspeichervorrichtung nach Anspruch 38, jede der Wortleitungsstrukturen aufweist:
 eine Gate-Isolationsschicht, die auf dem Halbleitersubstrat ausgebildet ist; 45
 eine Leitungsschicht, die auf der Gate-Isolationsschicht ausgebildet ist;
 eine Abdeckschicht, die auf der Leitungsschicht ausgebildet ist; 50
 isolierende Spacer an beiden Seiten der Abdeckschicht, der Leitungsschicht und der Gate-Isolationsschicht.
 41. Integrierte Schaltungsspeichervorrichtung nach Anspruch 39, die weiterhin eine Isolationsschicht aufweist, die unter der Bitleitung ausgebildet ist. 55
 42. Integrierte Schaltungsspeichervorrichtung nach Anspruch 41, wobei das erste selbstjustierte Kontaktpad, das zweite selbstjustierte Kontaktpad und das dritte selbstjustierte Kontaktpad sowohl in einer Reihenrichtung durch die Wortleitungsstrukturen als auch in einer Spaltenrichtung durch die Isolationsschicht unter der Bitleitung voneinander isoliert sind. 60
 43. Verfahren zur Herstellung einer integrierten Schaltungsspeichervorrichtung, das folgende Schritte aufweist:
 Ausbilden einer Isolationsschicht, um so eine Vielzahl von aktiven Bereichen zu bestimmen, die zueinander in einem vorbestimmten Abstand in Spalten und Reihen

auf einem Halbleitersubstrat angeordnet sind;
 Ausbilden einer Vielzahl von Wortleitungsstrukturen, die sich in einer Spaltenrichtung auf den aktiven Bereichen und der Isolationsschicht erstrecken;
 Ausbilden eines Sourcebereichs und eines Drainbereichs durch Implantieren von Störstellen in den aktiven Bereichen an jeder Seite jeder der Wortleitungsstrukturen;
 Ausbilden von Photoresistmustern in den Reihen, in welchen die aktiven Bereiche ausgebildet sind;
 Auffüllen von Räumen zwischen den Photoresistmustern mit einer Niedrig-Temperatur-Oxidschicht;
 Entfernen der Photoresistmuster; und
 Ausbilden von selbstjustierten Kontaktpads, so daß sie die gleiche Höhe wie die Wortleitungsstrukturen in den Räumen in der Niedrig-Temperatur-Oxidschicht und den Räumen zwischen den Wortleitungsstrukturen aufweisen.
 44. Verfahren nach Anspruch 43, wobei ein Paar von Wortleitungsstrukturen in jedem der aktiven Bereiche liegt und zum Kreuzen jeder der aktiven Bereiche angeordnet ist.
 45. Verfahren nach Anspruch 44, wobei ein Ausbilden der Wortleitungsstrukturen die folgenden Schritte aufweist:
 Ausbilden einer Gate-Isolationsschicht auf einem Halbleitersubstrat;
 Ausbilden einer Leitungsschicht auf der Gate-Isolationsschicht;
 Ausbilden einer Abdeckschicht auf der Leitungsschicht;
 Mustern vorbestimmter Abschnitte der Abdeckschicht und der Leitungsschicht; und
 Ausbilden von isolierenden Spacern an jeder Seite der gemusterten Leitungsschicht und Abdeckschicht.
 46. Verfahren nach Anspruch 43, wobei ein Ausbilden der Photoresistmuster folgende Schritte aufweist:
 Beschichten des Halbleitersubstrats mit einer Photore sistschicht; und
 Belichten und Entwickeln der Photoresist schicht, so daß die Photoresist schicht lediglich an den Reihen übrig bleibt, an denen die aktiven Bereiche ausgebildet worden sind.
 47. Verfahren nach Anspruch 43, wobei ein Auffüllen der Räume zwischen den Photoresistmustern mit der Niedrig-Temperatur-Oxidschicht folgende Schritte aufweist:
 Abscheiden einer Oxidschicht innerhalb eines niedrigen Temperaturbereichs, um so keine Deformation der Photoresistmuster zu verursachen; und
 Auffüllen von lediglich den Räumen zwischen den Photoresistmustern mit der Oxidschicht durch Rückätzen der Oxidschicht bis die Oberflächen der Photoresistmuster freigelegt sind.
 48. Verfahren nach Anspruch 47, wobei die Oxidschicht bei einer Temperatur von 150–250°C abgeschieden wird.
 49. Verfahren nach Anspruch 43, wobei ein Ausbilden der selbstjustierten Kontaktpads folgende Schritte aufweist:
 Abscheiden einer Leitungsschicht, um so die Räume zwischen der Niedrig-Temperatur-Oxidschicht ausreichend aufzufüllen; und
 Chemisches und mechanisches Polieren der Leitungsschicht und der Niedrig-Temperatur-Oxidschicht, um so die Oberflächen der Wortleitungsstrukturen freizulegen.
 50. Verfahren nach Anspruch 43, das nach einem Aus-

bilden der selbstjustierten Kontaktpads ferner folgende Schritte aufweist:

Abscheiden einer Zwischenisolationsschicht auf dem Halbleitersubstrat;

Ausbilden eines Kontaktlochs durch Ätzen der Zwischenisolationsschicht, so daß das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, und das selbstjustierte Kontaktpad, das auf der Isolationsschicht ausgebildet ist und zu der gleichen Spalte wie das selbstausgerichtete Kontaktpad, das mit dem Drainbereich in Kontakt ist, aber zu einer Reihe vor oder neben der Reihe gehört, zu welcher das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich steht, gehört, gleichzeitig freigelegt sind; und

Ausbilden einer Bitleitung auf der Zwischenisolationsschicht, um so sowohl mit dem festausgerichteten Kontaktpad, das mit den freigelegten Drainbereich in Kontakt ist, als auch den selbstausgerichteten Kontaktpad, das auf der Isolationsschicht ausgebildet ist, kontaktiert zu sein.

51. Verfahren zur Herstellung einer integrierten Schaltungsspeichervorrichtung, das folgende Schritte aufweist:

Ausbilden einer Isolationsschicht, um so eine Vielzahl von aktiven Bereichen zu bestimmen, die in einem vorgebestimmten Abstand zueinander in Spalten und Reihen auf einem Halbleitersubstrat angeordnet sind;

Ausbilden einer Vielzahl von Wortleitungsstrukturen, die sich in einer Spaltenrichtung auf den aktiven Bereichen und der Isolationsschicht erstrecken;

Ausbilden eines Sourcebereichs und eines Drainbereichs durch Implantieren von Störstellen in den aktiven Bereichen an jeder Seite jeder der Wortleitungsstrukturen;

Ausbilden von Photoresistmustern bei den Reihen, in welchen die aktiven Bereiche ausgebildet sind;

Auffüllen von Räumen zwischen den Photoresistmustern mit einer Niedrig-Temperatur-Oxidschicht;

Entfernen der Photoresistmuster;

Ausbilden von selbstjustierten Kontaktpads, die die gleiche Höhe wie die Wortleitungsstrukturen in den Räumen in der Niedrig-Temperatur-Oxidschicht und den Räumen zwischen den Wortleitungsstrukturen aufweisen;

Abscheiden einer Zwischenisolationsschicht auf dem Halbleitersubstrat;

Ausbilden eines Kontaktlochs durch Ätzen der Zwischenisolationsschicht, dass das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich ist, und das selbstjustierte Kontaktpad, das auf der Isolationsschicht ausgebildet ist und zu der gleichen Spalte wie das selbstausgerichtete Kontaktpad, das mit dem Drainbereich in Kontakt ist, aber zu einer Reihe vor oder neben der Reihe gehört, zu welcher das selbstjustierte Kontaktpad, das in Kontakt mit dem Drainbereich steht, gehört, gleichzeitig freigelegt sind; und

Ausbilden einer Bitleitung auf der Zwischenisolationsschicht, um so sowohl mit dem festausgerichteten Kontaktpad, das mit den freigelegten Drainbereich in Kontakt ist, als auch den selbstausgerichteten Kontaktpad, das auf der Isolationsschicht ausgebildet ist, kontaktiert zu sein;

wobei ein Auffüllen der Räume zwischen den Photoresistmustern mit der Niedrig-Temperatur-Oxidschicht folgende Schritte aufweist:

Abscheiden einer Oxidschicht innerhalb eines niedrigen Temperaturbereichs, um so keine Deformation der Photoresistmuster zu verursachen; und

Auffüllen von lediglich den Räumen zwischen den Photoresistmustern mit der Oxidschicht durch Rückätzen der Oxidschicht bis die Oberflächen der Photoresistmuster freigelegt sind.

52. Verfahren nach Anspruch 51, wobei ein Paar von Wortleitungsstrukturen in jedem der aktiven Bereiche liegt und zum Kreuzen der aktiven Bereiche angeordnet ist.

53. Verfahren nach Anspruch 52, wobei ein Ausbilden der Wortleitungsstrukturen die folgenden Schritte aufweist:

Ausbilden einer Gate-Isolationsschicht auf einem Halbleitersubstrat;

Ausbilden einer Leitungsschicht auf der Gate-Isolationsschicht;

Ausbilden einer Abdeckschicht auf der Leitungsschicht;

Mustern vorbestimmter Abschnitte der Abdeckschicht und der Leitungsschicht; und

Ausbilden von isolierenden Spacern an jeder Seite der gemusterten Leitungsschicht und Abdeckschicht.

54. Verfahren nach Anspruch 51, wobei ein Ausbilden der Photoresistmuster folgende Schritte aufweist:

Abscheiden einer Photoresistschicht auf dem Halbleitersubstrat; und

Belichten und Entwickeln der Photoresistschicht, so daß die Photoresistschicht lediglich an den Reihen übrig bleibt, an denen die aktiven Bereiche ausgebildet worden sind.

55. Verfahren nach Anspruch 51, wobei die Oxidschicht bei einer Temperatur von 150–250°C abgeschieden wird.

56. Verfahren nach Anspruch 51, wobei ein Ausbilden der selbstjustierten Kontaktpads folgende Schritte aufweist:

Abscheiden einer Leitungsschicht, um so die Räume zwischen der Niedrig-Temperatur-Oxidschicht ausreichend aufzufüllen; und

Chemisches und mechanisches Polieren der Leitungsschicht und der Niedrig-Temperatur-Oxidschicht, um so die Oberflächen der Wortleitungsstrukturen freizulegen.

Hierzu 17 Seite(n) Zeichnungen

FIG. 1 (Stand der Technik)

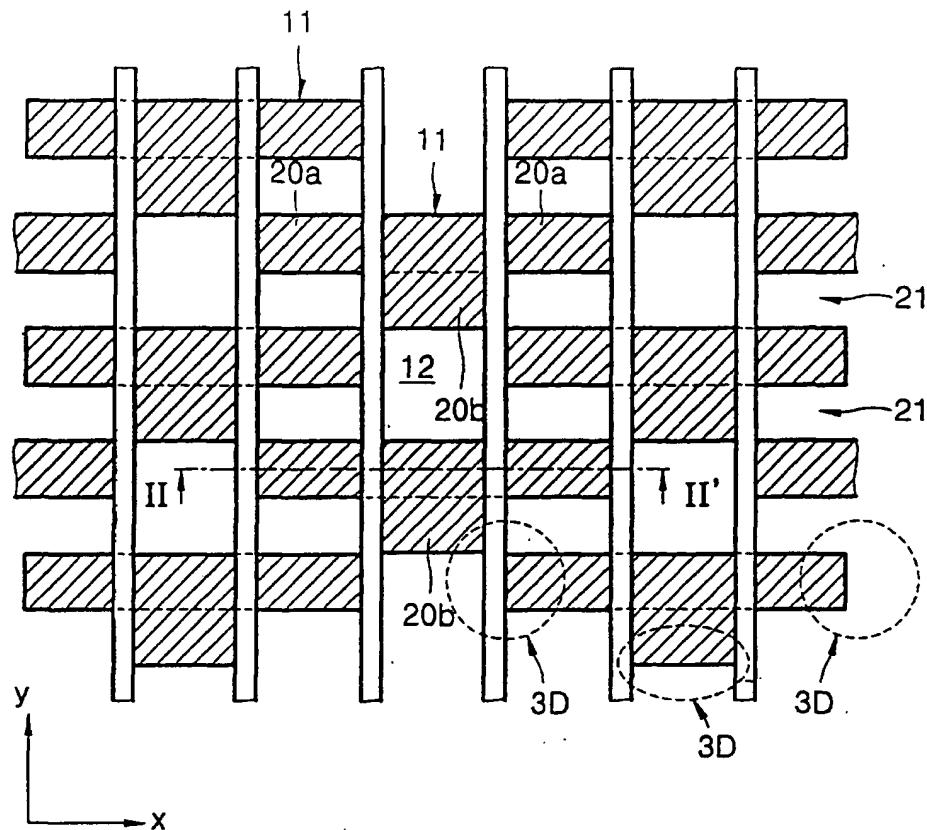


FIG. 2 (Stand der Technik)

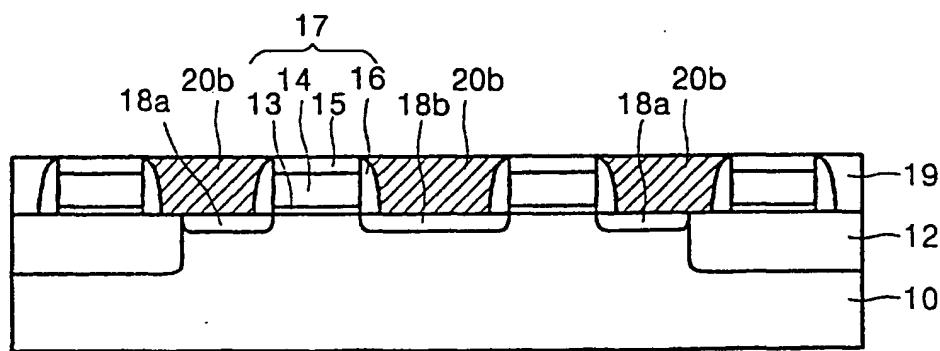


FIG. 3

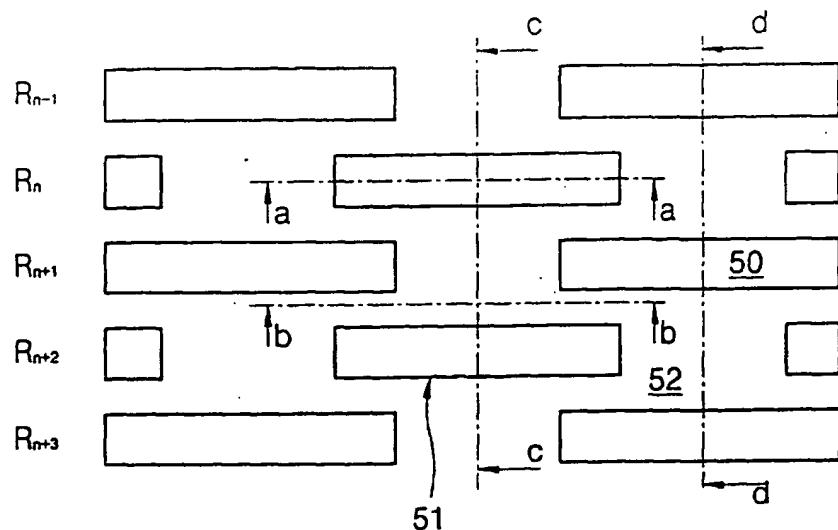


FIG. 4

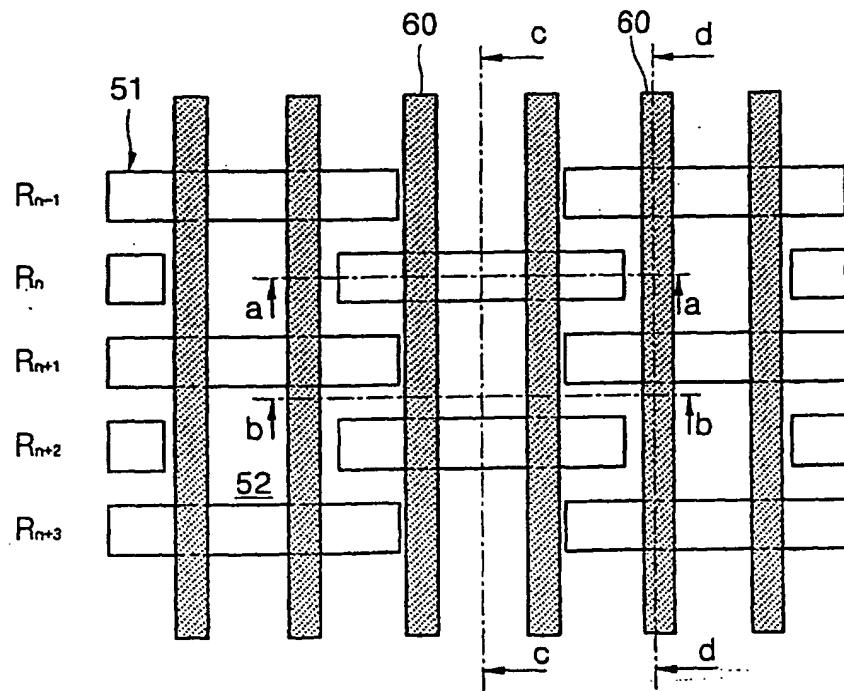


FIG. 5

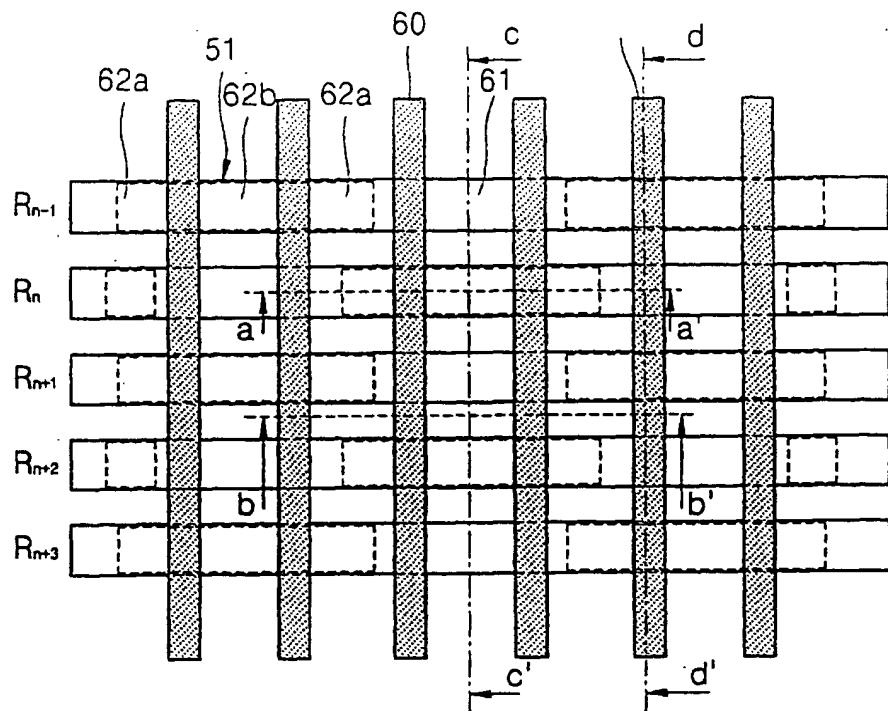


FIG. 6

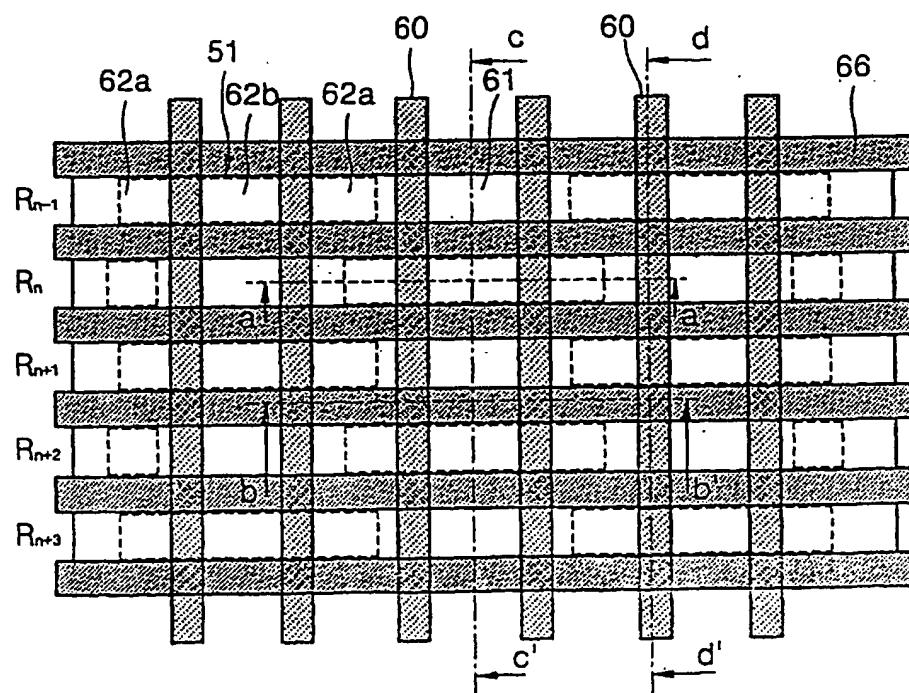


FIG. 7

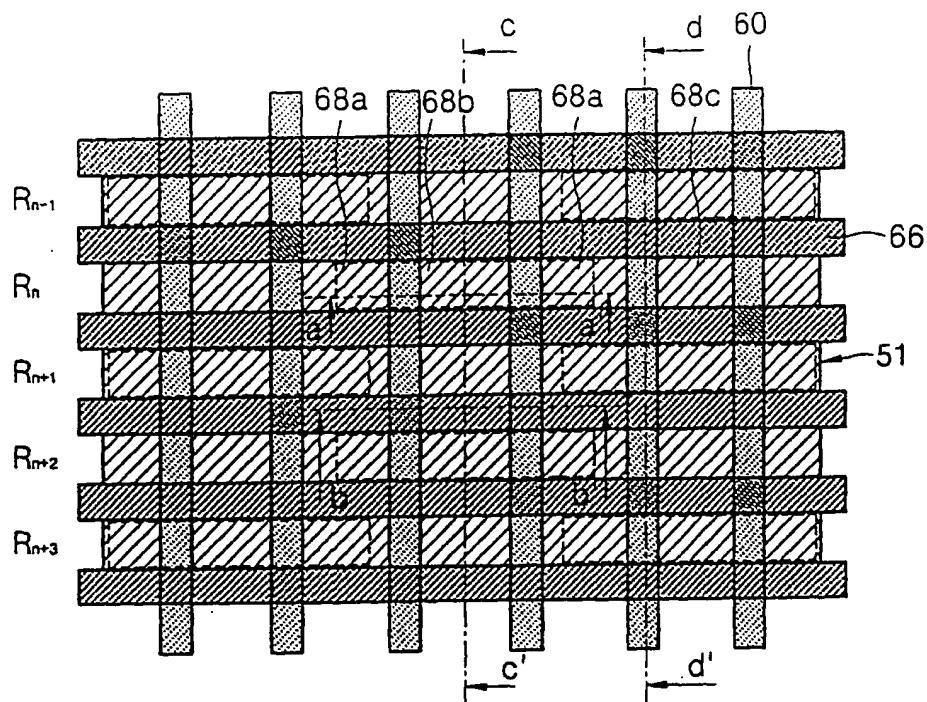


FIG. 8

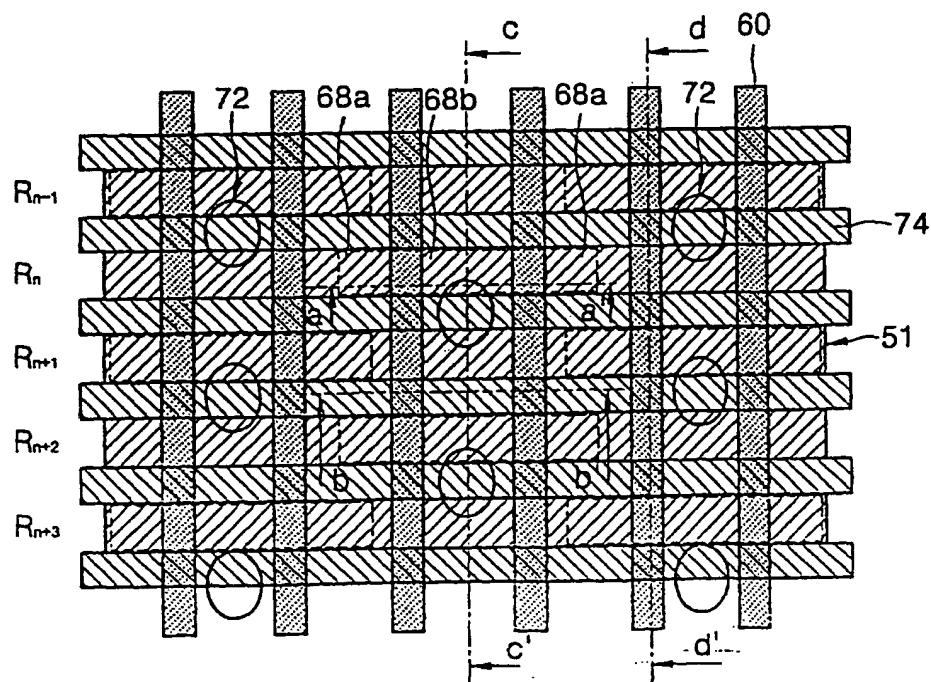


FIG. 9A

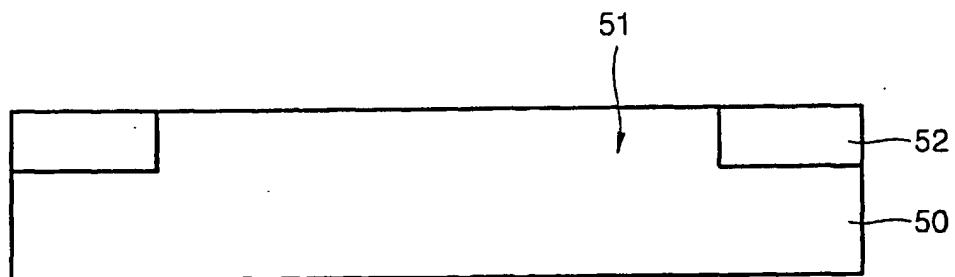


FIG. 9B

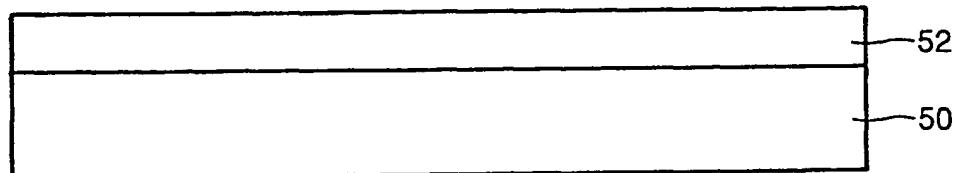


FIG. 9C

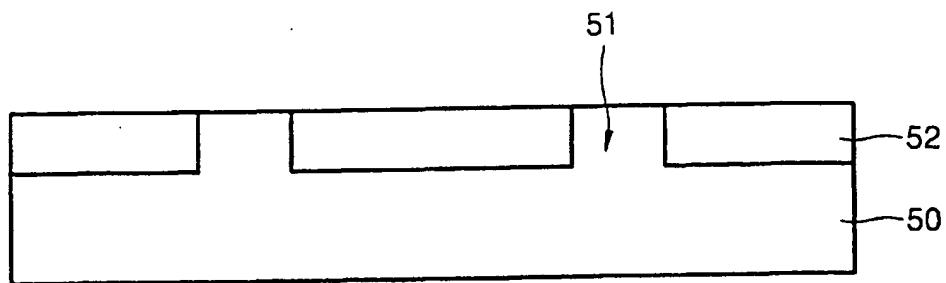


FIG. 9D

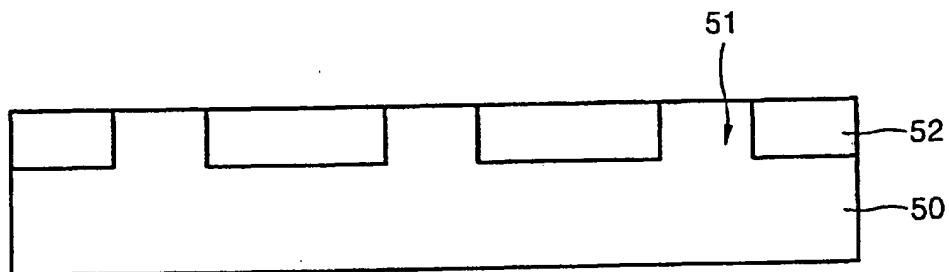


FIG. 10A

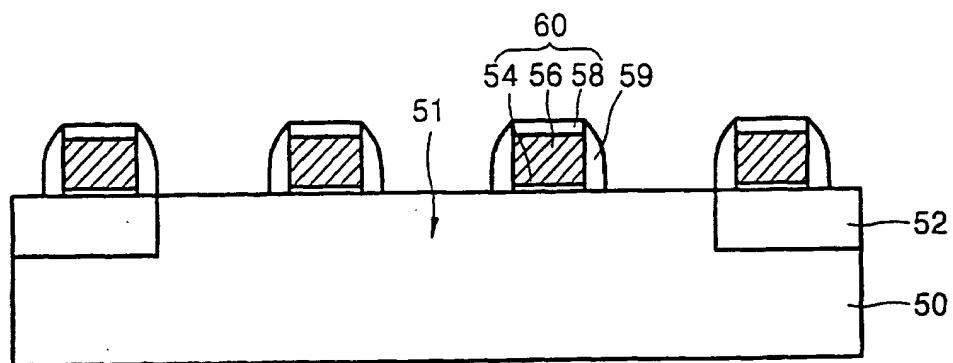


FIG. 10B

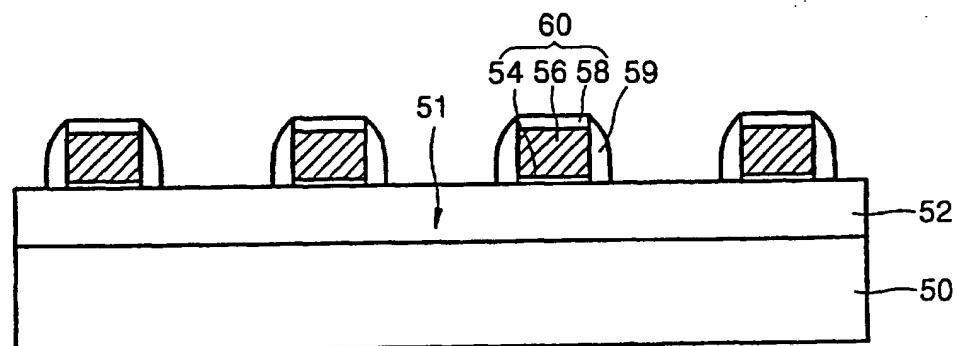


FIG. 10C

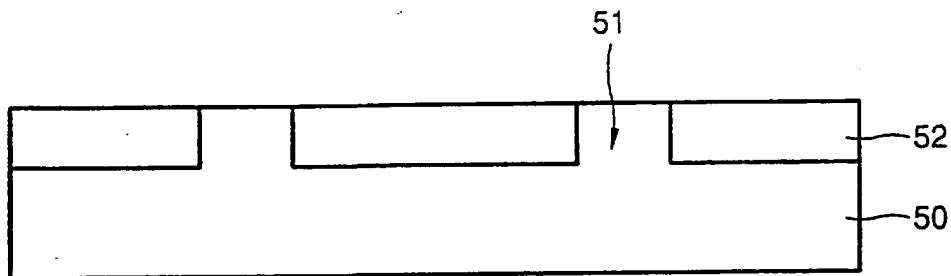


FIG. 10D

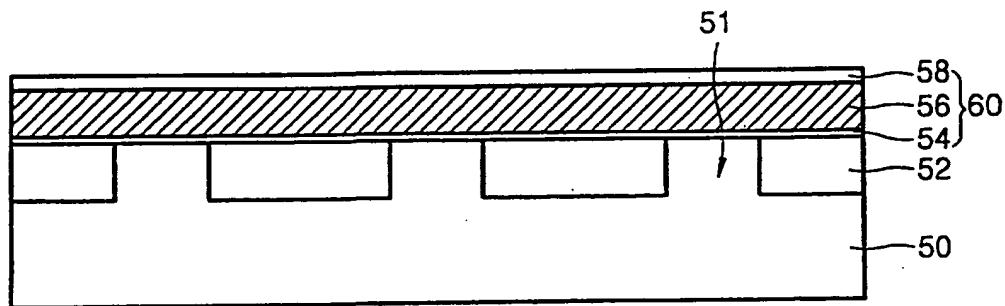


FIG. 11A

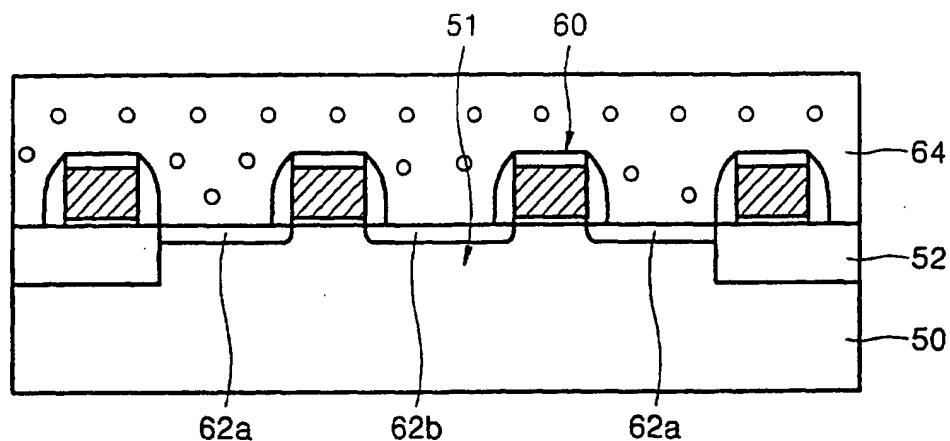


FIG. 11B

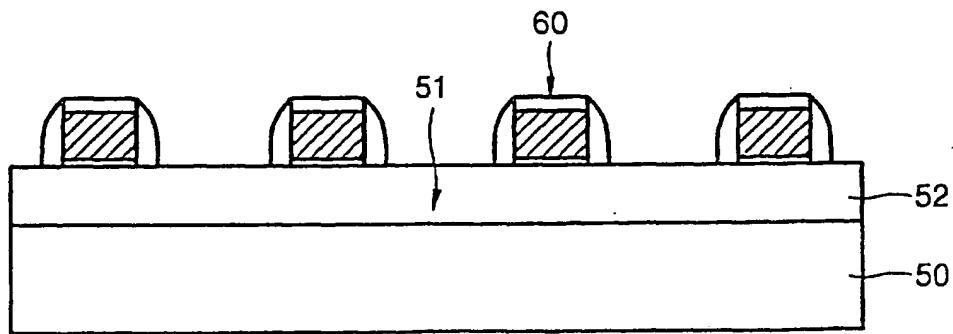


FIG. 11C

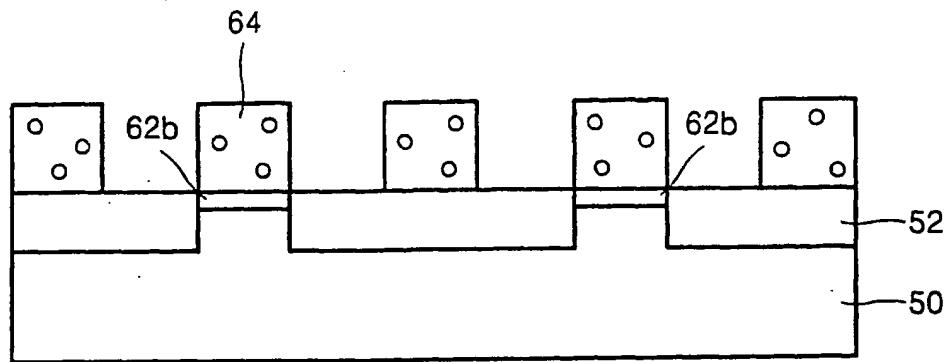


FIG. 11D

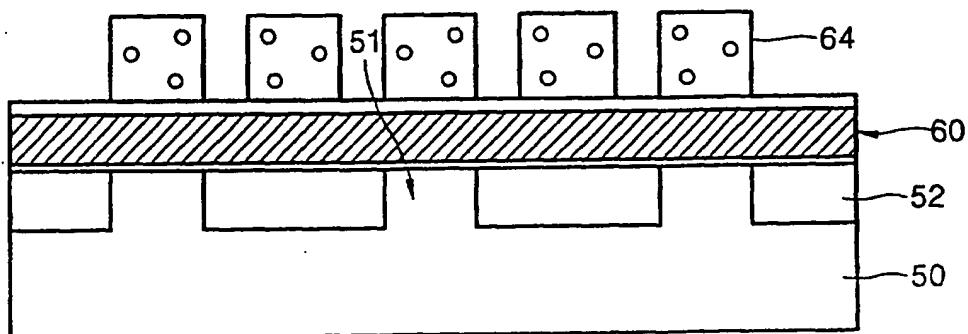


FIG. 12A

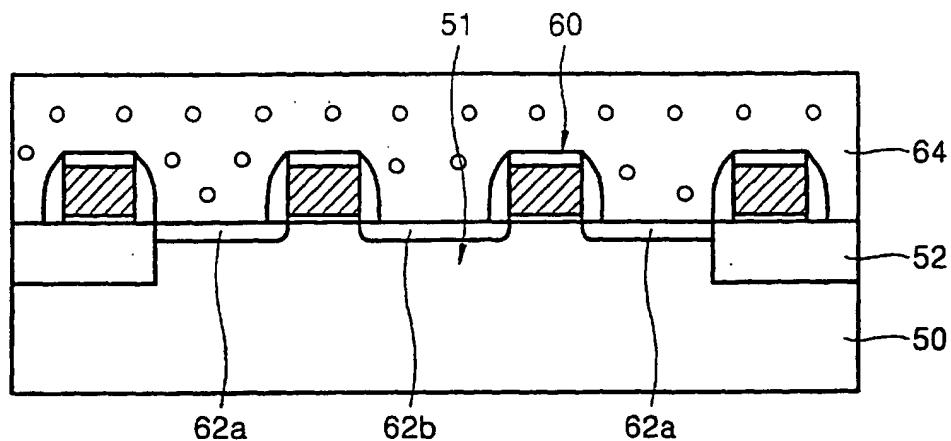


FIG. 12B

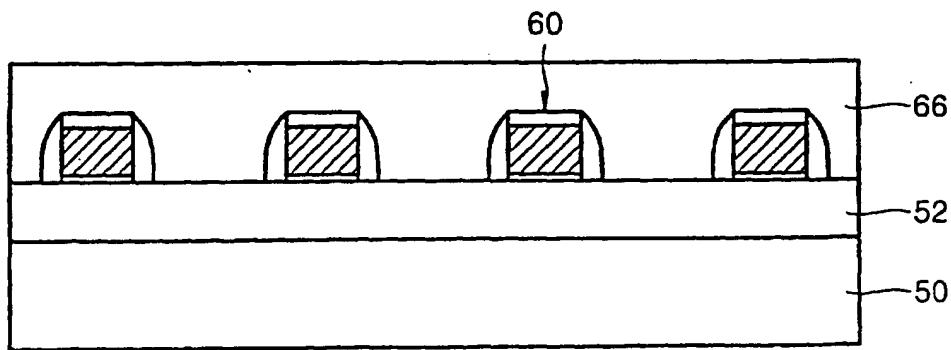


FIG. 12C

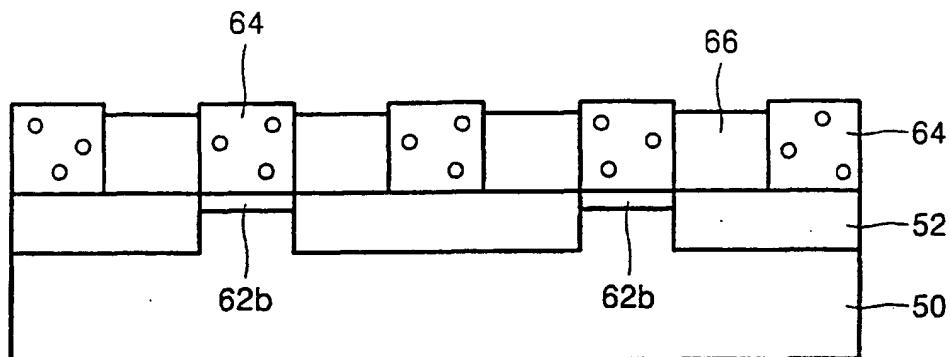


FIG. 12D

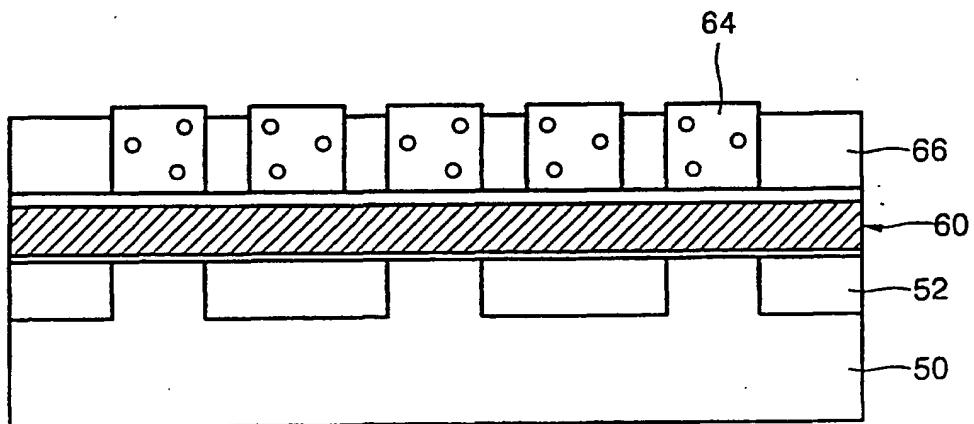


FIG. 13A

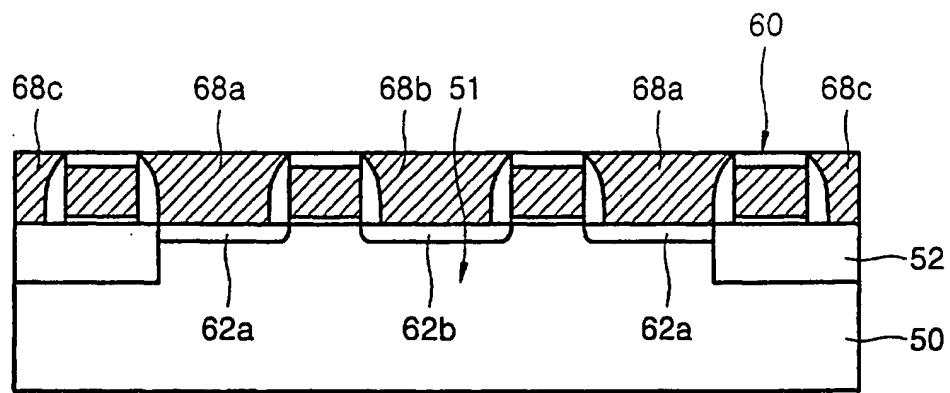


FIG. 13B

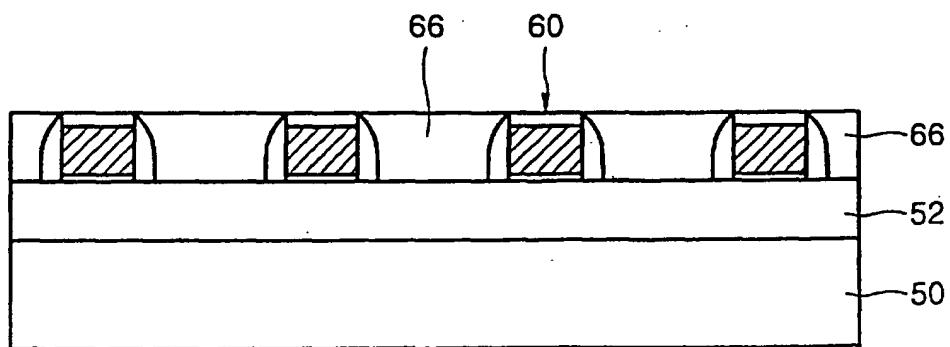


FIG. 13C

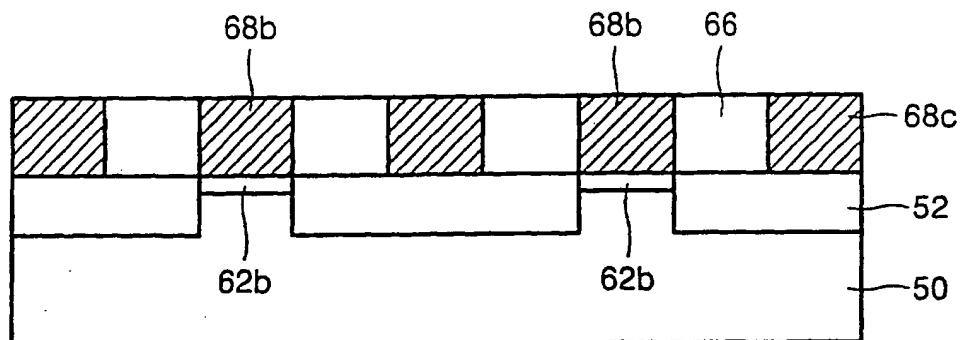


FIG. 13D

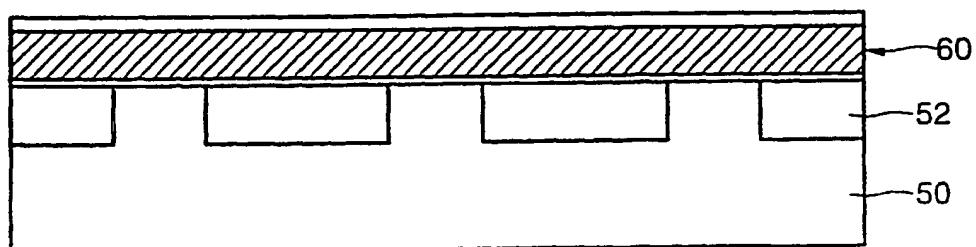


FIG. 14A

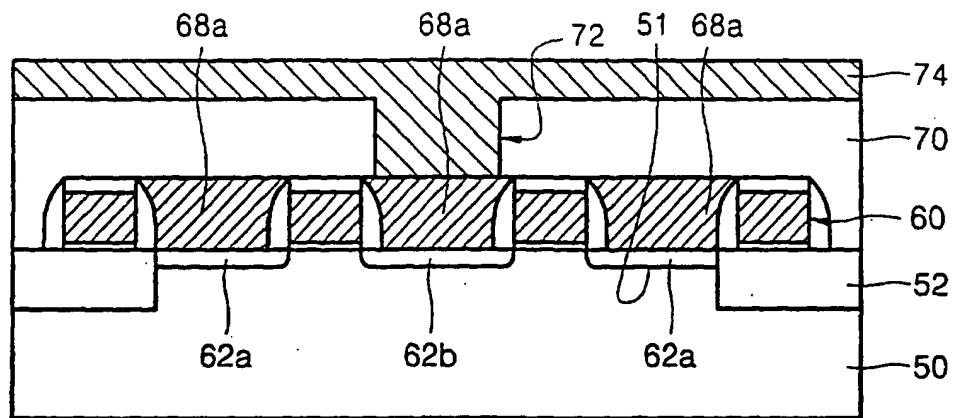


FIG. 14B

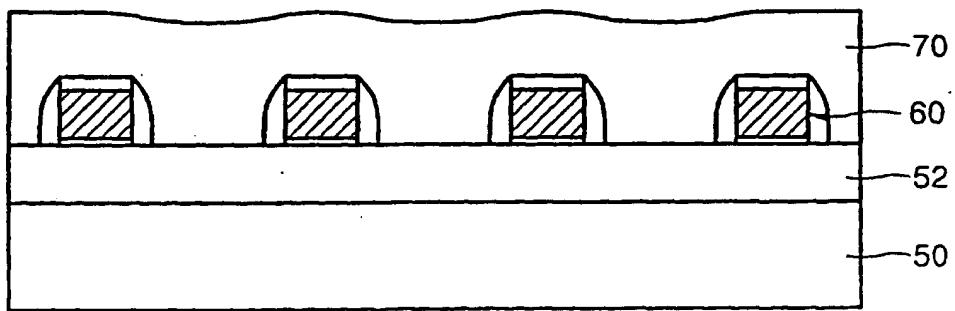


FIG. 14C

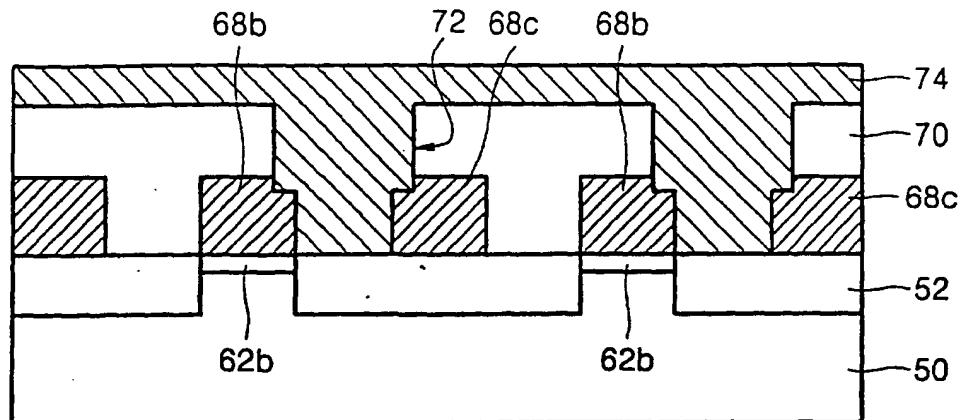


FIG. 14D

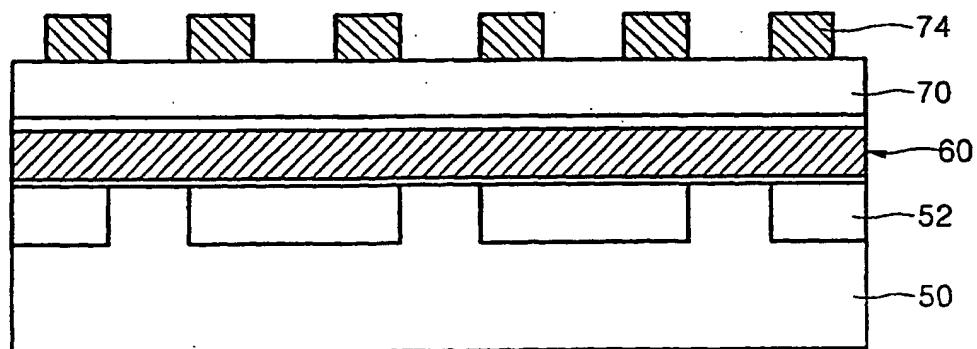


FIG. 15

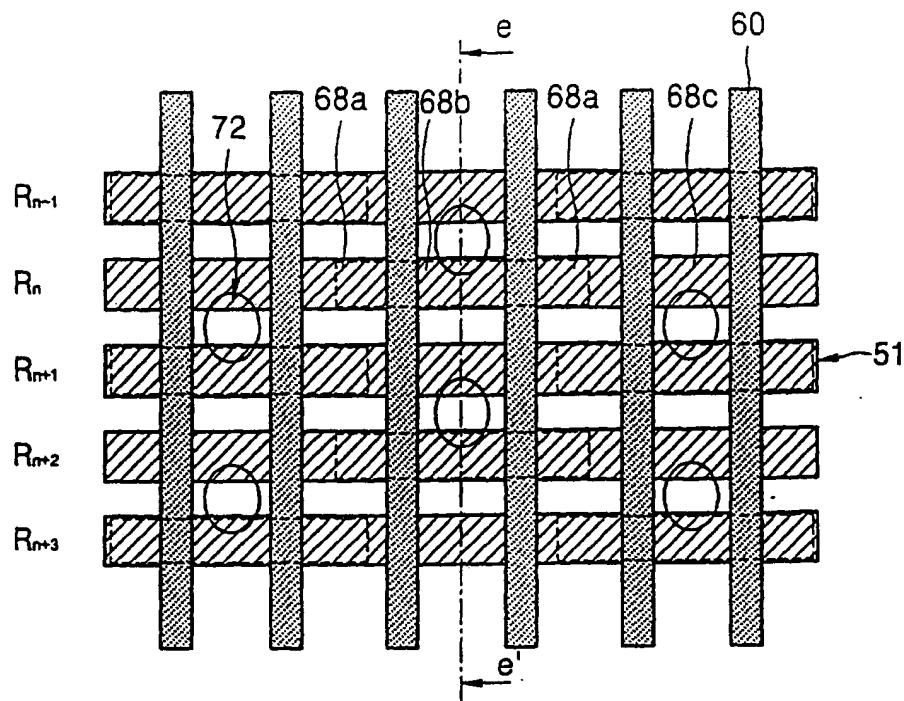


FIG. 16

